

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6010809号
(P6010809)

(45) 発行日 平成28年10月19日 (2016. 10. 19)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl.	F I
HO 1 L 21/20 (2006. 01)	HO 1 L 21/20
HO 1 L 21/268 (2006. 01)	HO 1 L 21/268 J
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 2 7 G
HO 1 L 29/786 (2006. 01)	C 2 3 C 14/14 A
C 2 3 C 14/14 (2006. 01)	C 2 3 C 14/58 C
請求項の数 3 (全 26 頁) 最終頁に続く	

(21) 出願番号	特願2011-141111 (P2011-141111)	(73) 特許権者	504145308 国立大学法人 琉球大学 沖縄県中頭郡西原町字千原 1 番地
(22) 出願日	平成23年6月24日 (2011. 6. 24)	(73) 特許権者	000233295 株式会社日立情報通信エンジニアリング 神奈川県横浜市西区みなとみらい二丁目 3 番 3 号
(65) 公開番号	特開2012-74675 (P2012-74675A)	(74) 代理人	110000925 特許業務法人信友国際特許事務所
(43) 公開日	平成24年4月12日 (2012. 4. 12)	(72) 発明者	野口 隆 沖縄県中頭郡西原町千原 1 番地 国立大学 法人琉球大学 工学部内
審査請求日	平成26年6月12日 (2014. 6. 12)	(72) 発明者	岡田 竜弥 沖縄県中頭郡西原町千原 1 番地 国立大学 法人琉球大学 工学部内
(31) 優先権主張番号	特願2010-195123 (P2010-195123)		最終頁に続く
(32) 優先日	平成22年8月31日 (2010. 8. 31)		
(33) 優先権主張国	日本国 (JP)		
前置審査			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

ポリイミド樹脂、ポリアミドイミド樹脂、ポリシリセスキオキサンから選ばれる 1 種以上を使用し、プラスチックにより絶縁層を形成する工程と、

前記絶縁層上に、厚さが 0 . 2 ~ 1 . 5 μ m であり、Z n S - S i O ₂ から成るバッファ層を形成する工程と、

前記バッファ層上に、プラズマ C V D 法により、厚さ 3 0 0 n m ~ 1 μ m の非晶質の半導体層を形成する工程と、

前記非晶質の半導体層を形成する工程を行った後、脱水素のための熱処理工程は行わないで、前記半導体層に対して、波長が 3 5 0 n m ~ 5 0 0 n m の範囲内のエネルギービームを照射することにより、前記半導体層を結晶化させる工程を含む

半導体装置の製造方法。

【請求項 2】

前記半導体層が、S i , G e , C から選ばれる 1 種以上の元素を含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記半導体層を結晶化させる工程の途中又は前後において、前記半導体層に能動素子の不純物領域を導入する工程をさらに含む、請求項 1 又は請求項 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、結晶化シリコン層（薄膜、厚膜等）を含む半導体装置の製造方法に係わる。

【背景技術】

【0002】

フラットパネルディスプレイ（FPD）においては、ガラス基板上に形成した薄膜に、TFT（薄膜トランジスタ）を形成して、画像を表示する表示素子の駆動を行っている。

【0003】

従来から、高性能TFT（薄膜トランジスタ）として、移動度の高さや成膜の容易性から、ポリシリコンTFTが使用されている。移動度は、有機TFTが $0.5\text{ cm}^2/\text{Vs}$ 以下、水素化アモルファスシリコンTFTが $0.3\sim 1\text{ cm}^2/\text{Vs}$ であるのに対して、ポリシリコンTFTは $10\sim 400\text{ cm}^2/\text{Vs}$ と大きくすることが可能である。

このポリシリコンTFTは、ガラス基板上にCMOS構造を形成することが可能である唯一の構成である。

【0004】

このようなポリシリコンTFTの典型例として、トップゲート型の薄膜トランジスタの概略断面図を、図22に示す。

図22に示すように、ガラス基板等のパネル51上に、バッファ層52を介して、薄膜トランジスタのポリシリコン薄膜53が形成されている。ポリシリコン薄膜53の中央部の上には、ゲート絶縁膜54を介して、ゲート電極55が形成されている。ポリシリコン薄膜53とゲート電極55は、層間絶縁層56に覆われている。そして、ポリシリコン薄膜53の左右端部には、層間絶縁層56に形成されたコンタクトホールを通じて、電極層57が接続されている。

【0005】

さらに高機能のフラットパネルディスプレイを実現するためには、ガラス基板だけでなく、プラスチック基板やフレキシブルな基板材料から成る、任意の基板上に、トランジスタ等の機能回路素子を形成することが求められる。

例えば、ガラス基板、さらにはプラスチック基板上に、ディスプレイの画素部及び周辺回路部だけでなく、機能センサ、メモリ、A/D（アナログ/デジタル）コンバータ、D/A（デジタル/アナログ）コンバータ、さらには、CPU等、様々な機能回路素子を配置した構成とすることが考えられる。

【0006】

ここで、ガラス基板やプラスチック基板等の、絶縁基板上に、ディスプレイの画素部及び機能システムを設けた構成の概略平面図を、図23に示す。

図23に示すように、ガラス基板やプラスチック基板等の絶縁基板101の上に、ディスプレイの画素部（表示部）107が形成されており、この画素部（表示部）107の周囲の絶縁基板101上に、各種の回路素子のチップ等が配置されて、半導体装置から成る表示装置100が構成されている。

【0007】

回路素子としては、図中左側に配置された、CPU（Central Processing Unit）102、ROM（Read Only Memory）103、RAM（Random Access Memory）104、A/Dコンバータ105や、図中上側に配置された、画素部107の駆動を行うためのドライバIC106等が設けられている。

これらの回路素子（102, 103, 104, 105, 106）は、絶縁基板101上に取り付けられたチップによって、構成されている。

【0008】

そして、図23に示した構成のような、ガラス基板やプラスチック基板等の絶縁基板上に機能システムを構成した、いわゆるSoG（System on Glass）、SoP（System on Panel）を目指して、研究開発が進められている（例えば、非特許文献1を参照）。

【0009】

10

20

30

40

50

ポリシリコンTFTにおいては、ポリシリコン(多結晶シリコン)の結晶粒を増大させることによって、伝導キャリアの高移動度化がなされている。

【0010】

FPDにおいては、表示素子の駆動のために、ポリシリコンTFTの他にも、有機半導体薄膜、酸化物半導体(IGZO)によるTFT等も期待され、可能性を秘めているが、これらの材料では、信頼性、集積機能がまだ充分に実現されていない。

【0011】

プラスチック基板等にポリシリコンTFTを形成するためには、プラスチック基板への熱の影響が少なくなるように、ポリシリコンを形成することが求められる。

そのためには、例えば、低温でポリシリコン層を形成する方法を採用することが考えられる。

【先行技術文献】

【非特許文献】

【0012】

【非特許文献1】松尾直人、「ナノテクノロジー-onディスプレイ」、月刊ディスプレイ、2006年、p.1

【発明の概要】

【発明が解決しようとする課題】

【0013】

絶縁基板上にポリシリコン薄膜を形成する場合、ポリシリコン薄膜を、直接、成膜形成するよりも、非晶質シリコン薄膜を形成してから、非晶質シリコン薄膜を結晶化の方が、結晶性が良好なポリシリコン薄膜を形成することができる。

【0014】

従来からガラス基板上に形成した非晶質シリコン薄膜を結晶化する方法として採用されているSPC法(FA法)では、炉内でゆっくり加熱するために時間がかかる。また、シリコンを溶融させないで結晶化させるため、膜中に欠陥が残りやすくなる。

さらに、炉内にて高温で加熱するため、プラスチック基板上に形成したシリコン膜の結晶化には使用できない。

【0015】

また、紫外線のパルスであるエキシマレーザを照射して結晶化する方法(ELA法)も考えられるが、その波長帯のシリコンでの吸収係数が大きいため、層内(膜面に垂直な深さ方向)に温度分布が生じやすく、厚さが100nmを超える厚いシリコン層では、良好な結晶化が困難である。

【0016】

上述した問題の解決のために、本発明においては、絶縁層上に結晶性の良好な半導体層を形成することができる、半導体装置の製造方法を提供するものである。

【課題を解決するための手段】

【0017】

本発明の半導体装置の製造方法は、ポリイミド樹脂、ポリアミドイミド樹脂、ポリシリスキオキサンから選ばれる1種以上を使用し、プラスチックにより絶縁層を形成する工程と、この絶縁層上に、厚さが0.2~1.5μmであり、ZnS-SiO₂から成るバッファ層を形成する工程と、このバッファ層上に、プラズマCVD法により、厚さ300nm~1μmの非晶質の半導体層を形成する工程と、この非晶質の半導体層を形成する工程を行った後、脱水素のための熱処理工程は行わないで、半導体層に対して、波長が350nm~500nmの範囲内のエネルギービームを照射することにより、半導体層を結晶化させる工程を含むものである。

【0018】

上述の本発明の半導体装置の製造方法において、半導体層をSi, Ge, Cから選ばれる1種以上の元素を含む構成とすることができる。

上述の本発明の半導体装置の製造方法において、半導体層を結晶化させる工程の途中又

10

20

30

40

50

は前後において、半導体層に能動素子の不純物領域を導入する工程をさらに含む構成とすることができる。

【発明の効果】

【0021】

上述の本発明の半導体装置の製造方法によれば、波長350nm～500nmの範囲内のエネルギービームを照射して、結晶化を行うので、比較的短い時間で結晶化を行うことができ、平坦性、均一性、結晶性、安定性に優れた、結晶質の半導体層が得られる。

さらに、エネルギービームの照射条件を変えることにより、小さい粒子から大きい粒子までの幅広い範囲の粒子を形成することが可能になり、結晶粒に異方性を持たせることも可能になる。

10

また、本発明の半導体装置の製造方法によれば、絶縁層にプラスチックを用いた場合でも、結晶化の際にプラスチックに影響を与えないようにすることが可能である。

【図面の簡単な説明】

【0023】

【図1】本発明の第1の実施の形態で使用する結晶化装置の概略構成図である。

【図2】非晶質の半導体層の結晶化を行う方法を説明する図である。

【図3】結晶化を行った後のシリコン層の断面TEM像である。

【図4】結晶化して得られたシリコン層の分光エリプソメトリによる吸収率であるK-スペクトルの分析結果である。

【図5】結晶化して得られたシリコン層のX線回折法の結果である。

20

【図6】A～C 実施例の各試料のSEMによる像である。

【図7】A～C 実施例の各試料のTEMによる像である。

【図8】A～C 比較例の各試料のAFMによる像である。

【図9】D、E 比較例の各試料のAFMによる像である。

【図10】A～C 実施例の各試料のAFMによる像である。

【図11】レーザの出力と結晶化後のシート抵抗との関係を示す図である。

【図12】A、B Arガスを用いた場合とNeガスを用いた場合の結晶化後のシリコン層の分光エリプソメトリによるN及びkのスペクトルを示す図である。

【図13】A、B 出力4.9Wと出力5.5Wとしたときの結晶化後のシリコン層のラマンスペクトルを示す図である。

30

【図14】出力6Wでの結晶化の前後のシリコン層の分光エリプソメトリによるkスペクトルを比較した図である。

【図15】出力6Wで結晶化を行った後のシリコン層のTEMによる像である。

【図16】SIMSにより測定した、出力6Wで結晶化を行った後のシリコン層の表面から深さまでの各元素の分布である。

【図17】A、B ポリイミド基板を用いた場合の結晶化前後のシリコン層の分光エリプソメトリによるスペクトルを比較した図である。

【図18】本発明の第3の実施の形態の半導体装置の概略構成図（断面図）である。

【図19】本発明の第4の実施の形態の半導体装置の概略構成図（断面図）である。

【図20】本発明の第5の実施の形態の半導体装置の概略構成図（断面図）である。

40

【図21】太陽光スペクトルと、非晶質シリコン及び多結晶シリコンの吸収スペクトルを示す図である。

【図22】トップゲート型の薄膜トランジスタの概略断面図である。

【図23】絶縁基板上にディスプレイの画素部及び機能システムを設けた構成の概略平面図である。

【発明を実施するための形態】

【0024】

以下の順序により、本発明の実施の形態について説明する。

1. 本発明の概要

2. 第1の実施の形態

50

- 3. 第2の実施の形態
- 4. 第3の実施の形態
- 5. 第4の実施の形態
- 6. 第5の実施の形態

【0025】

< 1. 本発明の概要 >

まず、本発明の具体的な実施の形態の説明に先立ち、本発明の概要について説明する。

【0026】

本発明の半導体装置の製造方法は、絶縁層上に厚さ4nm~1μmの非晶質の半導体層を形成する工程と、この非晶質の半導体層に対して、波長350nm~500nmの範囲内のエネルギービームを照射して、半導体層を結晶化させる工程を有する。

10

【0027】

絶縁層としては、ガラスやプラスチックから成る絶縁基板（もしくは絶縁材）、任意の基板（絶縁基板、金属板やメタルホイル、半導体基板等）の上に形成された絶縁層（例えば、酸化シリコン層等の酸化物層や窒化物層）を、使用することができる。

絶縁層のプラスチックとしては、高度に架橋構造を有するポリマー材料、例えば、ポリイミド樹脂、ポリアミドイミド樹脂、ポリシリセスキオキサンから選ばれる1種以上を使用することが好ましい。

【0028】

非晶質の半導体層の半導体材料としては、シリコン層、SiGe層、Ge層、SiC層等、Si、Ge、Cを含む材料を使用することができる。また、必要に応じて、半導体層にn型不純物（リン等）又はp型不純物（ホウ素等）を注入して、導電性を高める。

20

半導体層をSiGe層やSiC層等、Si、Ge、Cのうちの2種類の元素を含む構成とした場合には、各元素の比率によって、バンドギャップや吸収係数を制御して、半導体層の光に対する感度を制御することが可能である。

【0029】

波長350nm~500nmの範囲内のエネルギービームとしては、紫外線、青紫や青の可視光線等が挙げられ、半導体レーザ等のレーザから出射したレーザ光を使用することができる。

エネルギービームは、連続ビーム（CW）としても、パルス状に出射するビーム（パルスビーム）としても、どちらでも構わない。

30

【0030】

非晶質の半導体層は、絶縁層上に、例えば、スパッタ法やCVD法により形成する。CVD法としては、通常の熱CVD法、例えば、減圧CVD法、もしくはプラズマCVD法を用いることができる。スパッタ法のスパッタ放電不活性ガスとしては、Arガス、Heガス、Xeガス、Neガス、及びこれらのガスの1種以上を用いた混合ガスを使用することができる。

半導体層の厚さは、4nm~1μmとする。本発明の製造方法によれば、この広い範囲の厚さの半導体層に対して、良好に結晶化を行うことができる。

【0031】

40

なお、本発明の製造方法は、絶縁層に直接接して非晶質の半導体層を形成する場合に限定されない。例えば、絶縁層と非晶質の半導体層との間に、他の層（電極層等の導体層、他の絶縁層）を形成しても構わない。ボトムゲート型のTFETや縦型PINダイオードを作製する場合には、電極層や配線層の上に、半導体層を形成することになる。

【0032】

本発明の製造方法によれば、半導体層を結晶化させることにより、多結晶もしくは単結晶の半導体層が得られる。

そして、波長350nm~500nmの範囲内のエネルギービームを照射して、結晶化を行うので、比較的短い時間で結晶化を行うことができ、平坦性、均一性、結晶性、安定性に優れた、結晶質の半導体層が得られる。

50

また、エネルギービームの照射条件を変えることにより、小さい粒子から大きい粒子までの幅広い範囲の粒子を形成することが可能であり、結晶粒に異方性を持たせることも可能である。

【0033】

エキシマレーザ（例えば、波長308nm）を照射して結晶化を行った場合には、比較的短い時間で結晶化を行うことができ、優れた結晶性が得られるが、結晶粒の境界面で凹凸ができやすく、平坦性が充分得られない。また、小さい結晶（微結晶、小粒径結晶）は作りにくい。なお、エキシマレーザは、半導体層に入射してから比較的短い距離で吸収されてしまうため、厚い半導体層では深さ方向で吸収が均一にならず、平坦性や結晶性が充分に得られないことから、厚い半導体層の結晶化には不向きである。

10

S P C法（炉内でのアニール）により結晶化を行った場合には、結晶化に時間がかかり、結晶性が良好ではない。

【0034】

文献（R. F. Wood, C. W. White and R. T. Young, "Semiconductor and semimetals", 26, (1984), p.116）によると、エキシマレーザの波長308nm（エネルギー約4.05eV）の場合、非晶質シリコンの吸収係数は $1.3 \times 10^6 \text{ cm}^{-1}$ 程度であり、結晶質シリコンの吸収係数は $1.5 \times 10^6 \text{ cm}^{-1}$ 程度であり、両者の差は小さい。これに対して、青色レーザの波長445nm（エネルギー約3.3eV）の場合、非晶質シリコンの吸収係数は $1 \times 10^6 \text{ cm}^{-1}$ 程度であり、結晶質シリコンの吸収係数は $3 \times 10^5 \text{ cm}^{-1}$ 程度であり、非晶質シリコンは結晶質シリコンの3倍以上となっている。

20

このことから、波長445nmの青色レーザを照射した場合、非晶質の状態では吸収係数が大きいので、吸収により多くのエネルギーを得て結晶化が進行するが、結晶化した後は吸収係数が小さくなるので、温度上昇が少なくなることがわかる。

【0035】

好ましくは、大面積に良好な膜質で非晶質の半導体層を形成することができる、プラズマCVD法により非晶質の半導体層を形成する工程を行う。

プラズマCVD法により非晶質の半導体層を形成すると、半導体層に水素が含まれるので、そのまま例えばエキシマレーザを照射して結晶化を行うと、水素の放出により半導体層の表面に穴ができて凹凸が生じる。これを防ぐためには、結晶化工程の前に脱水素のための熱処理工程を行う必要がある。

30

本発明の製造方法では、波長が350nm～500nmの範囲内のエネルギービームを照射することにより、半導体層を結晶化させるので、プラズマCVD法により非晶質の半導体層を形成する工程を行った場合でも、脱水素のための熱処理工程は行わないで、半導体層を結晶化する工程を行うことができる。

実際に、脱水素のための熱処理工程を行わないで、半導体層の結晶化を行ったところ、結晶性が良好であり、大きい粒径の結晶粒が得られた。

このことは、従来のエキシマレーザアニールに代わり、波長350nm～500nmの範囲内のエネルギービームを照射して、非晶質半導体層の結晶化を行うことにより、脱水素のための熱処理工程を省略して、工程の短縮や歩留まりの向上を図ることが可能であることを示している。

40

従って、本発明による結晶化を、薄膜トランジスタの製造工程に採用することにより、工程の短縮や歩留まりの向上を図り、これにより、薄膜トランジスタの製造コストの低減も可能になる。

【0036】

また、スパッタ法により非晶質の半導体層を形成する工程を行う場合、好ましくは、スパッタ放電不活性ガスとして、Neガス又はNeガスを含む混合ガスを用いる。Neガスを含む混合ガスとしては、Neガスを他のガスで希釈した構成や、Arガス等の他のガスとNeガスを混合した構成が挙げられる。

スパッタ法の場合、プラズマ放電として用いられる不活性の希ガスとしては、通常、Arガスが用いられている。また、不活性の希ガスとして、ArガスやNeガスの他にも、

50

HeガスやXeガスも用いることができる。

Neは、Arよりも原子量が小さいため（質量が軽く、原子半径が小さい）、Neガスを使用した場合、エネルギービームの照射による結晶化の際に、スパッタ時に半導体層中に入ったガスが半導体層の外に出やすくなり、結晶性が向上する。

Heは、Neと同様に原子量が小さいため、スパッタ時に半導体層中に入ったガスが半導体層の外に出やすくなり、結晶性が向上する。なお、スパッタの効率（成膜レート）は、HeガスよりもNeガスの方が高くなる。

Xeは、原子量がかなり大きいため、スパッタ時に半導体層中に入りにくくなり、結晶化の際に半導体層からガスを発生しないので、結晶性が向上する。なお、XeガスはNeガスと比較すると価格が高いため、Neガスを使用すると、より安いコストで、Xeガスと同様の効果が得られる。

そして、スパッタ放電不活性ガスとして、Neガス又はNeガスを含む混合ガスを用いると、その後のエネルギービームの照射による結晶化工程において、スパッタ時に半導体層中に入ったガスが半導体層の外に出やすいので、比較的高いエネルギーの照射を行っても、膜荒れを防ぐことが可能となる。そのため、結晶化工程において高いエネルギーの照射を行って、より大きな結晶粒や、CVD法を用いた場合のような異方性で電氣的に優れた、高い移動度を有する、擬似単結晶粒薄膜を得ることが可能となり、任意の大きさ、形状の結晶粒の選択範囲が増大するので、高性能TFT素子の実現が可能となる。このため、プラスチック基板上に形成したスパッタ薄膜に対して、短時間のパルス光モードでアニールすることにより、フレキシブルな基板上に高機能TFT素子を実現することも可能になる。

【0037】

また、好ましくは、半導体層を結晶化させる工程の途中又は前後において、半導体層に能動素子（トランジスタ、ダイオード等）の不純物領域を導入する工程をさらに含む。ダイオードとしては、PINダイオード、2つもしくはいずれかの電極部が金属/半導体のコンタクトによるいわゆるショットキー接触型ダイオード、のいずれも可能である。

能動素子（トランジスタ、ダイオード等）の不純物領域としては、p型又はn型のソース・ドレイン領域、ダイオードのp型領域やn型領域が挙げられる。

能動素子の不純物領域を導入する方法としては、イオン注入により導入する方法、SOG（Spin on Glass）等の不純物を含んだ膜を塗布することやCVD法のガスやスパッタ法のターゲットに不純物を含有させることによって成膜と同時に不純物を導入する方法、等が挙げられる。なお、非晶質の半導体層の成膜と同時にもしくは直後に、即ち、結晶化工程の前に不純物を導入した場合には、不純物を導入した後に、エネルギービームを照射して結晶化を行う際に、同時に不純物の活性化を行うことが可能である。また、縦型構造の太陽電池等に適用する等、比較的厚い半導体層を形成する場合に、下部の不純物領域を形成する工程（非晶質の半導体層への不純物の導入や、アニールによる不純物の活性化）を行ってから、半導体層を結晶化するというように、半導体層を結晶化させる工程の途中又は前に不純物を導入することも可能である。

【0038】

半導体層の下の絶縁層として、プラスチック基板を使用する場合には、耐熱性の比較的高い樹脂を基板材料に使用することが望ましい。このような樹脂としては、例えば、熱分解開始温度が500程度と高い、ポリイミド樹脂が挙げられる。また、ポリイミド樹脂だけでなく、ポリアミドイミド樹脂、ポリシリセスキオキサン等の高度に架橋構造を有するポリマー材料等も好ましい。

また、プラスチック基板とシリコン層との間に、バッファ層を設けることが望ましい。

なお、ポリイミド樹脂を基板に用いた場合のバッファ層の構成としては、以下の構成とすることが望ましい。

バッファ層の熱伝導率 k ： $k < 0.014 \text{ W/cm}$ 、好ましくは、バッファ層の熱伝導率 k を 0.01 W/cm 以下とする。より好ましくは、バッファ層の熱伝導率 k を 0.008 W/cm 以下とする。

10

20

30

40

50

バッファ層の比熱 C_p : $C_p < 1.0 \text{ J/g} \cdot$

バッファ層の厚さ : $0.2 \sim 1.5 \mu\text{m}$

バッファ層の材料としては、 Zn, S, Si, O の各成分を各々 3 原子% 以上含む材料が好ましい。

バッファ層の形成は、スパッタ法を用いることが好ましい。

なお、プラスチック基板を使用する場合の結晶化のエネルギービームの照射は、連続ビーム (CW モード) としても、パルスビーム (パルスモード) としても、どちらでも結晶化が可能である。

【0039】

なお、本発明の製造方法において、前述したそれぞれの構成は、適宜組み合わせることが可能である。

10

【0040】

本発明の半導体装置は、上述した本発明の半導体装置の製造方法を用いて製造することが可能な構成である。

即ち、結晶質の半導体層に、トランジスタのソース領域・ドレイン領域・チャネル領域や、ダイオードの p 型領域・n 型領域のような、能動素子の不純物領域が形成された構成である。ダイオードとしては、PIN ダイオード、前述したショットキー接触型ダイオード、のいずれも可能である。

そして、結晶質の半導体層としては、本発明の半導体装置の製造方法を用いて、厚さが $4 \text{ nm} \sim 1 \mu\text{m}$ の範囲内の非晶質の半導体層に波長が $350 \text{ nm} \sim 500 \text{ nm}$ の範囲内のエネルギービームを照射して結晶化を行って得られる結晶質の半導体層を使用する。

20

【0041】

上述の本発明の半導体装置において、さらに下記の構成とすることが可能である。

(1) 能動素子が薄膜トランジスタであり、非晶質の半導体層の厚さが $4 \text{ nm} \sim 100 \text{ nm}$ の範囲内であり、不純物領域が薄膜トランジスタのソース領域及びドレイン領域である構成。

(2) 能動素子が PIN ダイオードであり、非晶質の半導体層の厚さが $300 \text{ nm} \sim 1 \mu\text{m}$ の範囲内であり、不純物領域が PIN ダイオードの p 型領域と i 型領域と n 型領域である構成。

(3) (2) において、さらに、結晶質の半導体層の上に、非晶質の第 2 の半導体層が形成され、この非晶質の第 2 の半導体層に第 2 の PIN ダイオードが形成されている構成。

30

(4) 非晶質の半導体層が Si, Ge, C から選ばれる 1 種以上の元素を含む構成。

(5) 絶縁層がガラス又はプラスチックにより形成されている構成。

なお、これらの構成は、適宜組み合わせることが可能である。

【0042】

< 2. 第 1 の実施の形態 >

続いて、本発明の具体的な実施の形態を説明する。

まず、本発明の第 1 の実施の形態として、本発明の半導体装置の製造方法の一実施の形態を説明する。

本実施の形態は、絶縁層上に形成する半導体層を、厚膜とした場合である。

40

【0043】

本実施の形態では、絶縁層上に直接又は他の層 (導体層や絶縁層等) を介して、厚い非晶質の半導体層 (シリコン層等) を形成した後に、この半導体層に波長 $350 \text{ nm} \sim 500 \text{ nm}$ の範囲内のレーザー光を照射して、非晶質の半導体層を結晶化する。

【0044】

絶縁層としては、ガラスやプラスチックから成る絶縁基板 (もしくは絶縁材) や、任意の基板 (絶縁基板、金属板、半導体基板等) の上に形成された絶縁層 (例えば、酸化シリコン層等の酸化物層や窒化物層) を使用することができる。

【0045】

本実施の形態において、非晶質の半導体層の厚さは、通常の薄膜トランジスタ用の半導

50

体層と比較して厚い、例えば、 $300\text{ nm} \sim 1\text{ }\mu\text{ m}$ の範囲とする。

非晶質の半導体層の半導体材料としては、シリコン層、SiGe層、Ge層、SiC層等、Si、Ge、Cを含む材料を使用する。また、必要に応じて、半導体層にn型不純物（リン等）又はp型不純物（砒素等）を注入して、導電性を高める。

【0046】

非晶質の半導体層の形成方法としては、スパッタ法とCVD法のいずれの方法も可能である。

スパッタ法（RFスパッタ法）を使用した場合には、比較的短い時間で厚い層を形成することが可能である。

一方、結晶化により結晶粒が大きい半導体層を得るためには、非晶質の半導体層をCVD法で形成した方が、有利である。

【0047】

波長 $350\text{ nm} \sim 500\text{ nm}$ の範囲内のレーザ光としては、紫外線、青紫や青の可視光線等が挙げられ、半導体レーザ等のレーザ光を使用する。

レーザ光は、連続ビーム（CW）としても、パルス状に出射するビーム（パルスビーム）としても、どちらでも構わない。

【0048】

次に、本実施の形態で使用する、結晶化装置の概略構成図を、図1に示す。

図1に示す結晶化装置40は、光源ユニット31と、光学ヘッドユニット34とを含んで、構成されている。

【0049】

光源ユニット31は、アレイ状に配置された、多数のレーザダイオード32を備えている。

レーザダイオード32としては、波長 $350\text{ nm} \sim 500\text{ nm}$ の範囲内のレーザ光、例えば、波長 445 nm のレーザ光を出射する半導体レーザダイオードを使用することができる。そして、例えば、出力 500 mW のレーザダイオード32を48個使用して、光源ユニット31を構成することができる。

光源ユニット31の各レーザダイオード32には、レーザダイオード32から出射したレーザ光を光学ヘッドユニット34へ送る、光ファイバ33の一端が接続されている。図では、多数の光ファイバ33が束ねられている。この光ファイバ33の他端は、光学ヘッドユニット34に接続されている。

光学ヘッドユニット34は、ビームホモジナイザ35と、出力モニタ36と、AFディテクタ37とを備えている。

ビームホモジナイザ35は、光ファイバ33を通じて供給されたレーザ光のビーム整形等を行う。出力モニタ36は、光ファイバ33を通じて供給されたレーザ光の出力を検出して、必要に応じて、自動的に光源ユニット31のレーザダイオード32の出力を制御する。AFディテクタ37は、照射対象の半導体層等で反射した戻り光を検出して、対物レンズ38を矢印AFに示すように動かす、オートフォーカス制御を行う。

対物レンズ38は、ビームホモジナイザ35を経たレーザ光を集束して、照射対象にビームスポット39を形成する。

【0050】

この結晶化装置40では、出力が制御されたレーザダイオード32から出射したレーザ光を使用して、対物レンズ38でレーザ光を集束したビームスポット39を、非晶質の半導体層（例えば、シリコン層）に照射して、半導体層の結晶化を行う。

【0051】

次に、図2を参照して、非晶質のシリコン層に対して、図1の結晶化装置40からのレーザ光を照射して、結晶化を行う方法を説明する。

図2に示すように、ガラス基板41の表面に、下地層（バッファ層）42が形成され、この下地層（バッファ層）42の上に、非晶質シリコン層43が形成されている。

そして、図1に示した結晶化装置40を使用して、ビームスポットをCWビーム（連続

10

20

30

40

50

ビーム) 45として、このCWビーム45を図2中矢印Scanで示す左方向に走査させて、非晶質シリコン層43に照射させる。

これにより、非晶質シリコン層43を結晶化させて、結晶質シリコン層44を形成することができる。

さらに、帯状に一部重なりを持たせて、走査を左右に往復させることにより、広い領域に対してレーザービームを照射して、非晶質シリコン層43を結晶化させて結晶質シリコン層44を形成することができる。

【0052】

(実施例)

ここで、具体的に、非晶質の半導体層の結晶化を行い、特性を調べた。

10

【0053】

[試験1]

まず、ガラス基板上に、RFスパッタ法により、スパッタ放電不活性ガスとしてArガスをを用いて、厚さ500nmの非晶質シリコン層を形成した。

そして、この非晶質シリコン層に対して、図1に示した結晶化装置40を使用して、結晶化を行った。結晶化装置40のレーザーダイオード32の出射光の波長を445nmとして、4.7Wの出力で、スキャン速度は500mm/sとした。

【0054】

このようにして結晶化を行った後のシリコン層の断面をTEM(透過型電子顕微鏡)で観察した。

20

得られたTEM像を、図3に示す。

厚さ500nmの厚膜の場合、結晶化の際に、膜の上下方向に温度勾配があるため、熱の流れが上下方向に生じる。これによって、図3に示すように、柱状に近い結晶化が起こる。

【0055】

さらに、得られたシリコン層について、分光エリプソメトリによる吸収率であるK-スペクトルの分析と、X線回折法による結晶方位の同定を行った。

K-スペクトルを図4に示し、X線回折法の結果を図5に示す。

図4から、はっきりとしたピークが現れており、膜全体が十分に結晶化していることがわかる。

30

また、図5から、(111)面のピークが鋭いピークで明確に現れており、十分に結晶化していることがわかる。

【0056】

上述の本実施の形態によれば、非晶質の半導体層(シリコン層等)に対して、波長350nm~500nmの範囲内のレーザー光を照射して、非晶質の半導体層を結晶化する。

これにより、レーザー光の照射により結晶化を行うので、比較的短い時間で結晶化を行うことができる。また、波長350nm~500nmの範囲内のレーザー光を照射するので、平坦性、均一性、結晶性、安定性に優れた、結晶質の半導体層が得られる。

【0057】

また、本実施の形態によれば、波長350nm~500nmの範囲内のレーザー光を照射するので、エキシマレーザーの照射では結晶化が困難であった、厚さ300nm~1μmの比較的厚い半導体層に対しても、平坦性良く結晶化を行うことができる。

40

【0058】

<3.第2の実施の形態>

次に、本発明の第2の実施の形態として、本発明の半導体装置の製造方法の他の実施の形態を説明する。

本実施の形態は、絶縁層上に形成する半導体層を、薄膜とした場合である。

【0059】

本実施の形態では、絶縁層上に直接又は他の層(導体層や絶縁層等)を介して、薄膜の非晶質の半導体層(シリコン層等)を形成した後に、この半導体層に波長350nm~5

50

00nmの範囲内のレーザー光を照射して、非晶質の半導体層を結晶化する。

【0060】

絶縁層としては、ガラスやプラスチックから成る絶縁基板（もしくは絶縁材）や、任意の基板（絶縁基板、金属板、半導体基板等）の上に形成された絶縁層（例えば、酸化シリコン層等の酸化物層や窒化物層）を使用することができる。

【0061】

本実施の形態において、非晶質の半導体層の厚さは、通常の薄膜トランジスタ用の半導体層と同じ程度の厚さ、例えば、4nm～100nmの範囲とする。

非晶質の半導体層の半導体材料としては、シリコン層、SiGe層、Ge層、SiC層等、Si、Ge、Cを含む材料を使用する。また、必要に応じて、半導体層にn型不純物（リン等）又はp型不純物（砒素等）を注入して、導電性を高める。

10

【0062】

非晶質の半導体層の形成方法としては、スパッタ法とCVD法のいずれの方法も可能である。

特に、容量結合型のプラズマCVD法を用いた場合には、大面積に均一性に優れた非晶質の半導体層の薄膜を形成することができる。

プラズマCVD法を用いて半導体層を形成した場合には、半導体層内に多量（約10～20原子%）の水素が含有される。その状態でエキシマレーザー照射を行うと、急激に局所加熱されることにより、水素が瞬間的に凝集放出され、表面に穴が開いてしまい、平坦性が著しく劣化する。

20

そのため、プラズマCVD法により形成した非晶質の半導体層に対して、エキシマレーザー照射により結晶化を行う場合には、結晶化工程の前に脱水素工程（窒素雰囲気中で400～450℃、1～2時間程度）を行うことが不可欠であった。

これに対して、本実施の形態の製造方法では、波長350nm～500nmの範囲内のレーザー光を照射して、結晶化を行うため、半導体層の一部が局所加熱されることがなく、半導体層の厚さ方向全体にわたって比較的穏やかに加熱される。これにより、プラズマCVD法により形成した非晶質の半導体層にレーザー光を照射しても、水素が放出されることがなく、脱水素工程が不要になる。

【0063】

結晶化装置は、第1の実施の形態の製造方法と同様の結晶化装置を使用することができる。例えば、図1に示した結晶化装置40を使用して、図2に示したようにレーザービームを走査させて、非晶質の半導体層の結晶化を行うことが可能である。

30

ただし、薄膜の場合には、厚膜の場合と比較して、半導体層全体の結晶化に必要なエネルギーが少なくなるため、結晶化装置40のレーザーダイオード32の出力等、非晶質の半導体層へのエネルギービームの照射条件は、厚膜の場合と異なることがある。

【0064】

（実施例）

〔試験2〕

ここで、具体的に、非晶質のシリコン薄膜の結晶化を行い、特性を調べた。

また、比較例として、同じ厚さのシリコン薄膜に対して、エキシマレーザーを照射して結晶化を行い、実施例と比較例とで、得られた結晶質の薄膜の特性を比較した。

40

【0065】

まず、ガラス基板上に、プラズマCVD法により、厚さ50nmの非晶質シリコン層を形成した。

（p型不純物として、リンをイオン注入した。イオン注入の条件は、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ 、エネルギー5keV、飛程 r_p が30nm以下とした。）

そして、この非晶質シリコン層に対して、図1に示した結晶化装置40を使用して、結晶化を行った。結晶化装置40のレーザーダイオード32の出射光の波長を445nmとして、スキャン速度は500mm/sとした。レーザーダイオード32の出力を、5W、6W、8Wと変えてそれぞれ結晶化を行い、実施例の試料を作製した。

50

【0066】

また、比較例として、同じく厚さ50nmの非晶質シリコン層に対して、波長308nmのエキシマレーザを照射して、結晶化を行った。エキシマレーザのエネルギー密度を、150、200、350、400、450 [mJ/cm^2] と変えてそれぞれ結晶化を行い、比較例の試料を作製した。

【0067】

各試料について、SEM（走査型電子顕微鏡）やTEM（透過型電子顕微鏡）による観察を行い、また、AFM（原子間力顕微鏡）によって観察される像（AFM像）を用いて、得られた膜の表面状態を調べた。

【0068】

実施例の各試料のSEMによる像を、図6A～図6Cに示す。図6Aは出力5Wの試料、図6Bは出力6Wの試料、図6Cは出力8Wの試料である。また、図6A～図6Cにおいて、レーザをスキャンした方向は、縦方向（図の上下方向）である。

出力5Wの場合、結晶粒が小さい。出力6Wの場合、結晶粒がやや大きくなって、50nm～300nm程度の大きさになっている。出力8Wの場合、スキャンの方向に結晶粒が連続する、異方性の結晶が形成されている。このように、出力を変えることにより、結晶粒の大きさや状態を変えることが可能であることがわかる。

【0069】

結晶粒が小さい場合、移動度は小さくなるが、均一性が高くなる。このようなシリコン層は、有機ELの駆動用の薄膜トランジスタに適している。

結晶粒が大きい場合や、異方性の結晶が形成されている場合には、移動度が大きくなるので、このようなシリコン層は、高速で動作する能動素子（トランジスタ等）に適している。

【0070】

実施例の各試料のTEMによる像を、図7A～図7Cに示す。図7Aは出力5Wの試料、図7Bは出力6Wの試料、図7Cは出力8Wの試料である。また、図7A～図7Cにおいて、レーザをスキャンした方向は、縦方向（図の上下方向）である。

図7A～図7Cを見ても、出力を変えることにより、結晶粒の大きさや状態を変えることが可能であることがわかる。

【0071】

比較例の各試料のAFMによる像を、図8A～図9Eに示す。図8Aは150 mJ/cm^2 の試料、図8Bは200 mJ/cm^2 の試料、図8Cは350 mJ/cm^2 の試料、図9Dは400 mJ/cm^2 の試料、図9Eは450 mJ/cm^2 の試料である。

また、各図にA-B（縦方向）、C-D（横方向）で付記した線の区間において、凹凸の度合いとして表面粗さRmsを測定した。比較例の各試料の表面粗さRmsを、表1に示す。

【0072】

10

20

30

【表 1】

[mJ/cm ²]	A-B線 Rms[nm]	C-D線 Rms[nm]
150	1.33	1.54
200	12.10	11.69
350	14.39	12.11
400	9.66	1.027
450	9.49	9.65

10

20

【0073】

実施例の各試料のAFMによる像を、図10A～図10Cに示す。図10Aは出力5Wの試料、図10Bは出力6Wの試料、図10Cは出力8Wの試料である。また、図10A～図10Cにおいて、レーザをスキャンした方向は、縦方向（図の上下方向）である。

また、各図にA-B（縦方向）、C-D（横方向）で付記した線の区間において、凹凸の度合いとして表面粗さRmsを測定した。実施例の各試料の表面粗さRmsを、表2に示す。

【0074】

【表 2】

	A-B線 Rms[nm]	C-D線 Rms[nm]
5W	2.53	2.98
6W	5.48	4.05
8W	2.12	2.21

30

40

【0075】

図8A～図9Eの比較例のAFMの像と、図10A～図10Cの実施例のAFMの像とから、いずれの場合も、レーザ光の照射条件を変えることにより、結晶粒の大きさが変わることがわかる。

比較例のうちでは、図8Cの350mJ/cm²のときが最も結晶粒が大きくなってい

50

る。

この図 8 C の比較例と、図 10 B の実施例とを比較すると、結晶粒の大きさはそれほど大きな違いがなく、図 10 B の実施例の方がやや大きいくらいである。

しかし、表 1 と表 2 の結果を比較すると、図 8 C の比較例 ($350 \text{ mJ} / \text{cm}^2$) の表面粗さが 14.39 nm 及び 12.11 nm であるのに対して、図 10 B の実施例 (6 W) の表面粗さは 5.48 nm 及び 4.05 nm となっている。即ち、実施例の方が、結晶粒の大きさのわりに表面粗さが小さく、平坦性が優れていることがわかる。実施例の他の試料も同様に、結晶粒の大きさのわりに表面粗さが小さくなっている。

従って、エキシマレーザによるレーザ光を照射した場合と比較して、やや長波長の範囲の青色可視光域でレーザ光を照射した場合には、結晶化したシリコン層の表面粗さが小さく、平坦性が優れていることがわかる。

10

【0076】

なお、上述の実施例では、レーザダイオードの出力を変えることにより、結晶化で得られる多結晶シリコン層の結晶粒の大きさ等を変化させていたが、レーザビームのスキャン速度を変えることによっても、同様に、結晶化で得られる多結晶シリコン層の結晶粒の大きさ等を変化させることが可能である。

【0077】

上述の本実施の形態によれば、非晶質の半導体層（シリコン層等）に対して、波長 $350 \text{ nm} \sim 500 \text{ nm}$ の範囲内のレーザ光を照射して、非晶質の半導体層を結晶化する。

これにより、レーザ光の照射により結晶化を行うので、比較的短い時間で結晶化を行うことができる。また、波長 $350 \text{ nm} \sim 500 \text{ nm}$ の範囲内のレーザ光を照射するので、平坦性、均一性、結晶性、安定性に優れた、結晶質の半導体層が得られる。

20

【0078】

また、本実施の形態によれば、波長 $350 \text{ nm} \sim 500 \text{ nm}$ の範囲内のレーザ光を照射するので、非晶質の半導体層をプラズマ CVD 法により形成した場合でも、半導体層中の水素が放出されることがなく、エキシマレーザの照射では不可欠な、脱水素のための熱処理工程が不要になる。

【0079】

〔試験 3〕

一般に、レーザアニールの場合、スパッタ法によるシリコン膜では、そのスパッタガスである Ar 原子がシリコン膜中に取り込まれ、その後のレーザビームによる急激な熱処理では、膜剥がれが生じてしまうため、十分高い照射エネルギーで結晶化が困難である。

30

そのため、得られる結晶粒は、小さい粒径に限定されてしまう。

例えば、エキシマレーザで結晶化を行った場合の実験結果は、文献 (D. Y. Kim et al, IMID '03 DIGEST, 661, (2003)) に記載されている。

そこで、Ar とスパッタ効率（製膜レート）はそれほど変化しないが、原子半径がより小さい、Ne ガスをスパッタガスに用いて、Ar ガスを用いた場合と特性を比較した。

【0080】

まず、ガラス基板上に、RF スパッタ法により、リンを高濃度に混入させたシリコンターゲットを使用して、厚さ約 50 nm の非晶質シリコン層を形成した。シリコンターゲットの抵抗率は、 $0.0013 \sim 0.0016 \text{ cm}$ の範囲であった。

40

このとき、スパッタ放電不活性ガスとして、Ar ガスを用いた場合と、Ne ガスを用いた場合とで、それぞれ数個ずつ試料を作製した。

そして、それぞれの試料の非晶質シリコン層に対して、図 1 に示した結晶化装置 40 を使用して、結晶化を行った。結晶化装置 40 のレーザダイオード 32 の出射光の波長を 445 nm として、スキャン速度は $500 \text{ mm} / \text{s}$ とした。各試料に対して、レーザダイオード 32 の出力を、 $3 \text{ W} \sim 6 \text{ W}$ の範囲内でいくつか変えて、それぞれの出力で結晶化を行った。

【0081】

出力を変えて結晶化を行ったそれぞれの場合で、結晶化後に得られたシリコン層のシー

50

ト抵抗を測定した。

測定結果として、レーザの出力とシート抵抗との関係を、図 1 1 に示す。

【 0 0 8 2 】

A r ガスを用いた試料では、図 1 1 にデータを示す出力 4 W ~ 4 . 8 W の範囲では、問題なく結晶化できた。しかし、出力 4 . 8 W を超えると、結晶化が不良となり、膜剥がれを生じる。これは、成膜時にシリコン層に取り込まれていた A r が結晶化の際の熱で飛び出るためと推定できる。

図 1 1 より、N e ガスを用いた試料では、出力 4 W ~ 6 W の広い範囲内で、シート抵抗が低くなっている。これにより、A r ガスを用いた場合よりも、高い出力までレーザ照射可能である。また、A r ガスを用いた試料と比較して、シート抵抗が低い。この効果は、結晶性の向上によると推定できる。得られたシート抵抗の値は、結晶化の出力 5 . 5 W の場合で 7 7 0 / であつた。

【 0 0 8 3 】

ここで、A r ガスを用いた試料に出力 4 . 3 W で結晶化を行った場合と、N e ガスを用いた試料に出力 5 . 5 W で結晶化を行った場合とで、分光エリプソメトリにより、N と k の各スペクトルを解析した。

解析の結果を、図 1 2 A 及び図 1 2 B に示す。図 1 2 A は A r ガスを用いた試料の結果を示し、図 1 2 B は N e ガスを用いた試料の結果を示す。

図 1 2 A 及び図 1 2 B において、特に 2 8 0 n m 付近の k スペクトルを比較すると、図 1 2 B の N e ガスを用いた場合に、膜の結晶性がより優れていることが分かる。

【 0 0 8 4 】

さらに、N e ガスを用いた試料に対する結晶化を、出力 4 . 9 W で行った場合と、出力 5 . 5 W で行った場合とで、それぞれ、シリコン層に対するラマンスペクトルを測定した。測定結果を図 1 3 A 及び図 1 3 B に示す。図 1 3 A は出力 4 . 9 W の場合を示し、図 1 3 B は出力 5 . 5 W の場合を示している。

図 1 3 A と図 1 3 B を比較してわかるように、出力 5 . 5 W の場合には、ピークが非常に鋭いことから、結晶性が非常に優れていることが考えられる。即ち、シリコン層内でのリンの電気的活性化率が向上して、抵抗の低下として反映されていると考えられる。

【 0 0 8 5 】

〔 試験 4 〕

次に、C V D 法により非晶質シリコン薄膜を形成し、脱水素処理を行わないで、レーザ照射による結晶化を行い、特性を調べた。

【 0 0 8 6 】

まず、ガラス基板上に、バッファ層の S i O ₂ 層を介して、プラズマ C V D 法により、非晶質シリコン層を厚さ約 3 0 n m に形成した。プラズマ C V D 法により形成したので、非晶質シリコン層中には、ある程度の水素が含まれている。

その後、脱水素の熱工程を行わずに、図 1 に示した結晶化装置 4 0 を使用して、結晶化を行った。結晶化装置 4 0 のレーザダイオード 3 2 の出射光の波長を 4 4 5 n m として、連続照射 (C W モード) として、スキャン速度は 5 0 0 m m / s とした。そして、レーザダイオード 3 2 の出力を、4 . 5 W、6 W と変えてそれぞれ結晶化を行った。

【 0 0 8 7 】

出力 4 . 5 W の条件では顕著な効果はなかったが、出力 6 W の条件でレーザを照射した場合には、非常に安定して結晶化を実現できた。

出力 6 W で結晶化を行った結晶化後のシリコン層について、分光エリプソメトリによる解析と、T E M (透過電子顕微鏡) による観察を行った。

分光エリプソメトリの解析結果 (k スペクトル) を図 1 4 に示し、T E M による像を図 1 5 に示す。

図 1 4 においては、単結晶シリコン (c - S i) の k スペクトルと、出力 6 W で結晶化を行った場合とを比較して示している。

【 0 0 8 8 】

10

20

30

40

50

図14に示す吸収率スペクトルの解析結果より、出力6Wで結晶化を行った場合、280nm付近のピークが鋭くなっており、単結晶シリコンのスペクトルに近い、良好な結晶性が得られていると考えられる。

図15に示すTEM像によると、0.3~0.5μmの非常に大きな粒径の結晶粒が得られ、その粒内の結晶性も良好な様子であり、脱水素工程を行わなくても、安定して大粒の結晶粒が得られることがわかった。

【0089】

また、SIMS(2次イオン質量分析)により、出力6Wで結晶化を行った結晶化後のシリコン層の表面から深さ46nm付近までの各元素(シリコン、水素、酸素)の濃度分布を測定した。測定結果を図16に示す。

図16より、シリコン層の部分(深さ30nm付近まで)では、ごく表面を除いて水素の濃度が少なくなっており、下層のSiO₂層よりも1桁少ない濃度となっている。即ち、脱水素工程を行わなくても、レーザ照射によって水素が抜けていることがわかる。

【0090】

〔試験5〕

次に、プラスチック基板上に、下地のバッファ層を介して、非晶質シリコン薄膜を形成し、結晶化を行い、特性を調べた。

プラスチック基板の材料としては、ポリイミド樹脂(熱分解開始温度は約500℃)を用いた。

【0091】

まず、ポリイミド樹脂からなるプラスチック基板上に、RFスパッタ法により、バッファ層として熱伝導率の小さいZnS-SiO₂(約0.005W/cm)層を、約0.3μmの厚さに形成した。このとき、スパッタ用ターゲットには、Zn, S, Si, Oの各元素を成分とした材料を使用した。

続いて、同一のチャンバ内で連続して、スパッタ法により、バッファ層上に、厚さ50nmの非晶質シリコン層を形成した。

そして、この非晶質シリコン層に対して、図1に示した結晶化装置40を使用して、結晶化を行った。結晶化装置40のレーザダイオード32の出射光の波長を445nmとして、連続照射(CWモード)として、スキャン速度は500mm/sとして、レーザダイオード32の出力を約1.1Wとした。

【0092】

レーザの照射後、シリコン層の屈折率が変化して、色の変化が生じた。

この色の変化を、分光エリプトメトリ法(SOPRA社製分光エリプトメーターES-4G)で測定し、解析を行った。得られた結果として、レーザ照射前後のスペクトルを比較して、図17A及び図17Bに示す。図17Aは照射前後の屈折率(N)を示し、図17Bは照射前後の吸収率(k)を示す。

図17Bより、照射前と比較して、照射後は吸収率(k)のスペクトルの約280nmにおけるピークが強くなっている。これにより、結晶粒は限られるが、確かに結晶化が生じていると考えられる。

【0093】

上述した効果は、下地に与えるダメージがより少ないパルスモードでも有効である。

そこで、連続照射(CWモード)の代わりに、パルス幅300ns、トップハットビームでの出力5.4W、繰り返し周波数1MHzとして、パルスモードで照射して、同じ構成の非晶質シリコン層の結晶化を行った。

その結果、連続照射の場合と同様の結晶化が可能であった。

従って、パルスモードでも問題なく結晶化が行えることがわかる。

【0094】

<4.第3の実施の形態>

次に、本発明の第3の実施の形態として、半導体装置の概略構成図(断面図)を、図18に示す。

10

20

30

40

50

本実施の形態は、結晶化した薄膜の半導体層に、薄膜トランジスタと、横型のP I Nダイオードを形成した場合である。

【0095】

図18に示すように、ガラス基板やプラスチック基板等の絶縁基板1上に、多結晶シリコン薄膜2, 3が形成されて、半導体装置10が構成されている。

左の多結晶シリコン薄膜2には、薄膜トランジスタの n^+ のソース・ドレイン領域2A, 2C及び、 p^- のチャンネル領域2Bが形成されており、右の多結晶シリコン薄膜3には、横型のP I Nダイオードの p^+ 領域3Aと i 領域3Bと n^+ 領域3Cとが形成されている。横型のP I Nダイオードの p^+ 領域3Aと i 領域3Bと n^+ 領域3Cとは、水平方向（横方向）に並んで形成されている。

10

多結晶シリコン薄膜2, 3上には、絶縁膜4が形成されている。この絶縁膜4は、薄膜トランジスタのゲート電極6の下のゲート絶縁膜も含んでいる。

【0096】

薄膜トランジスタは、多結晶シリコン薄膜2のチャンネル領域2B上に、絶縁膜4から成るゲート絶縁膜を介して、金属から成るゲート電極6が形成されている。

また、ソース・ドレイン領域2A, 2Cには、絶縁膜4に形成されたコンタクトホール内を埋めて、金属から成る電極層5が形成されている。

これらの構成により、トップゲート型の薄膜トランジスタが構成されている。

【0097】

横型のP I Nダイオードは、多結晶シリコン薄膜3の p^+ 領域3A及び n^+ 領域3Cの上に接して、それぞれ金属から成る電極層7が形成されている。

20

【0098】

薄膜トランジスタの多結晶シリコン薄膜2と、横型のP I Nダイオードの多結晶シリコン薄膜3とは、共に、本発明の半導体装置の製造方法を用いて、絶縁基板1上に形成した非晶質シリコン薄膜に対して、レーザ光を照射して結晶化を行うことにより得られた多結晶シリコン薄膜を使用する。

そして、結晶化して得られた多結晶シリコン薄膜を、パターニングして分離することにより、薄膜トランジスタの多結晶シリコン薄膜2と、横型のP I Nダイオードの多結晶シリコン薄膜3とを、それぞれ同時に形成することができる。

薄膜トランジスタのソース・ドレイン領域2A, 2C及びP I Nダイオードの p^+ 領域3A及び n^+ 領域3Cは、このパターニングによりそれぞれの多結晶シリコン薄膜2, 3に分離する工程の前又は後に、例えば、多結晶シリコン薄膜に p 型不純物や n 型不純物のイオン注入を行うことにより、形成することができる。

30

【0099】

上述の本実施の形態の半導体装置10の構成によれば、薄膜トランジスタの多結晶シリコン薄膜2と、横型のP I Nダイオードの多結晶シリコン薄膜3とを、本発明の半導体装置の製造方法を用いて形成することにより、多結晶シリコン薄膜2, 3として、平坦性、均一性、結晶性に優れた、多結晶シリコン薄膜を使用することができる。これにより、それぞれ特性の良好な（例えば、移動度が高く高速で動作する、光の変換効率が高い、等）薄膜トランジスタ及びP I Nダイオードを有する半導体装置10を構成することができる。

40

【0100】

上述の実施の形態では、トップゲート型の薄膜トランジスタを含む構成であった。

本発明の半導体装置では、絶縁層上にボトムゲート型の薄膜トランジスタを形成しても構わない。

ボトムゲート形の薄膜トランジスタを形成する場合には、絶縁基板等の絶縁層上に、ゲート電極の電極層やこの電極層に接続された配線層を形成して、この電極層や配線層を介して、非晶質シリコン薄膜を形成する。さらに、この非晶質シリコン薄膜を結晶化して、多結晶シリコン薄膜を形成する。そして、多結晶シリコン薄膜のうち、ゲート電極上の部分にチャンネル領域を形成し、チャンネル領域の外側にソース・ドレイン領域を形成する。

50

【 0 1 0 1 】

< 5 . 第 4 の実施の形態 >

次に、本発明の第 4 の実施の形態として、半導体装置の概略構成図（断面図）を、図 19 に示す。

本実施の形態は、結晶化した厚膜の半導体層に、縦型の P I N ダイオードを形成した場合である。

【 0 1 0 2 】

図 19 に示すように、ガラス基板やプラスチック基板等の絶縁基板 1 1 上に形成された多結晶シリコン層 1 6 を用いて、縦型の P I N ダイオードが形成されて、半導体装置 2 0 が構成されている。

10

この半導体装置 2 0 は、図示しない他の部分に、縦型の P I N ダイオードとは別に、トランジスタやその他の回路が形成されている。

【 0 1 0 3 】

縦型の P I N ダイオードは、絶縁基板 1 1 上に形成された電極層 1 2 を介して、多結晶シリコン層 1 6 が形成され、多結晶シリコン層 1 6 の上に、透明電極層 1 7 が形成されて、構成されている。そして、透明電極層 1 7 の上方から入射した光 L を、P I N ダイオードで受光検出することができる。

多結晶シリコン層 1 6 には、縦型の P I N ダイオードの n^+ 領域 1 3 と i 領域 1 4 と p^+ 領域 1 5 とが、この順序で下層から積層形成されている。

なお、 n^+ 領域 1 3 と p^+ 領域 1 5 とは、図 19 とは上下逆に、 n^+ 領域 1 3 が上層にあるように積層されていても構わない。

20

【 0 1 0 4 】

電極層 1 2 には、金属、合金、金属窒化物等の金属化合物の導電性材料を使用することができる。

透明電極層 1 7 には、I T O（インジウム錫酸化物）等の透明導電性材料を使用することができる。

【 0 1 0 5 】

本実施の形態の半導体装置 2 0 の縦型の P I N ダイオードは、受光センサとして使用することもでき、太陽電池としても使用することができる。

【 0 1 0 6 】

縦型の P I N ダイオードの多結晶シリコン層 1 6 には、本発明の半導体装置の製造方法を用いて、絶縁基板 1 1 上に形成した非晶質シリコン層に対して、レーザ光を照射して結晶化を行うことにより得られた多結晶シリコン層を用いる。

30

多結晶シリコン層 1 6 を、本発明の半導体装置の製造方法を用いて形成したことにより、多結晶シリコン層 1 6 として、平坦性、均一性、結晶性に優れた、多結晶シリコン層を使用することができる。これにより、光の変換効率の高い P I N ダイオードを構成することができる。

【 0 1 0 7 】

上述の本実施の形態の半導体装置の構成によれば、縦型 P I N ダイオードの多結晶シリコン層 1 6 を、本発明の半導体装置の製造方法を用いて形成することにより、多結晶シリコン層 1 6 として、平坦性、均一性、結晶性に優れた、多結晶シリコン層を使用することができる。これにより、光の変換効率の高い P I N ダイオードを有する半導体装置 2 0 を構成することができる。

40

【 0 1 0 8 】

< 6 . 第 5 の実施の形態 >

次に、本発明の第 5 の実施の形態として、半導体装置の概略構成図（断面図）を、図 20 に示す。

本実施の形態は、2 つの縦型の P I N ダイオードを上下に積層した、タンデム構造とした構成である。

【 0 1 0 9 】

50

図20に示すように、ガラス基板やプラスチック基板等の絶縁基板11上に形成された多結晶シリコン層16を用いて、下層の第1の縦型のPINダイオードが形成されている。この第1の縦型のPINダイオードの構成は、図19に示した第4の実施の形態の半導体装置20の縦型のPINダイオードの構成と同様である。

さらに、第1の縦型のPINダイオードが形成された、多結晶シリコン層16の上に接して、第2の縦型のPINダイオードが形成された、非晶質シリコン層24が積層されている。そして、この非晶質シリコン層24の上に、図19に示した第4の実施の形態の半導体装置20と同様の、透明電極層17が形成されて、半導体装置30が構成されている。

第2の縦型のPINダイオードは、非晶質シリコン層24に、下層から、 n^+ 領域21、 i 領域22、 p^+ 領域23が形成されて、構成されている。 10

なお、 n^+ 領域13、21と p^+ 領域15、23とは、図20とは上下逆に、 n^+ 領域13、21が上層にあるように積層されていても構わない。

【0110】

多結晶シリコン層16には、第4の実施の形態の半導体装置20の多結晶シリコン層16と同様に、本発明の半導体装置の製造方法を用いて非晶質シリコン層を結晶化して得られた多結晶シリコン層を用いる。これにより、多結晶シリコン層16として、平坦性、均一性、結晶性に優れた、多結晶シリコン層を使用することができるので、光の変換効率の高いPINダイオードを構成することができる。 20

【0111】

非晶質シリコン層24としては、従来から太陽電池等に使用されている、水素化された非晶質シリコン層($a-Si:H$)を使用することができる。

【0112】

例えば、多結晶シリコン層16の厚さを $1\mu m$ 前後として、非晶質シリコン層24の厚さを $1\mu m$ 前後として、合計の厚さを $2\mu m$ 前後とする。

なお、それぞれのシリコン層16、24の厚さを $1\mu m$ 程度よりもさらに薄くしても構わない。シリコン層16、24の厚さを、例えば、 $0.5\mu m \sim 1.0\mu m$ の範囲内の厚さとしても構わない。

シリコン層16、24の厚さを薄くすることにより、シリコンの使用量が少なくなるため、材料コストを低減することができる。 30

【0113】

ここで、太陽光スペクトルと、非晶質シリコン及び多結晶シリコンの吸収スペクトルを、図21に示す。

図21に示すように、非晶質シリコン($a-Si$)は吸収スペクトルのピークが $550nm$ 付近にあり、多結晶シリコン($poly-Si$)は吸収スペクトルのピークが $750nm$ 付近にあり、非晶質シリコン($a-Si$)と多結晶シリコン($poly-Si$)とは、吸収スペクトル(波長帯)が異なっている。

従って、非晶質シリコンと多結晶シリコンとを併用することにより、直列効果として開放端電圧(V_{oc})が高くなるだけでなく、図中細線で示すように、太陽光のスペクトルのスペクトル密度分布に近い、スペクトル密度分布が得られる。 40

このことから、図20に示したように、多結晶シリコン層16上に非晶質シリコン層24を積層して、それぞれのシリコン層16、24に縦型PINダイオードを形成することにより、太陽光を幅広い波長帯域にわたって有効に吸収することができる。

【0114】

また、図20に示したように、結晶化により得られた多結晶シリコン層16上に、非晶質シリコン層24を積層して構成した、本実施の形態の構成の各種特性について、予測計算を行った。多結晶シリコン層16及び非晶質シリコン層24の厚さは $1\mu m$ とした。

計算の結果、短絡電流密度 $J_{sc} = 23mA$ 、開放電圧 $V_{oc} = 1.1V$ 、変換効率 = 18% となった。

【0115】

なお、タンデム構造の太陽電池としては、堆積法によって形成したマイクロポリシリコン層（多結晶シリコン層）上に、水素化非晶質シリコン層を積層形成して、シリコン層全体の厚さを $3\ \mu\text{m}$ とした構成が提案されている。

この提案されている構成では、変換効率が $13\sim 14\%$ となっている。

即ち、本実施の形態の構成では、前述した計算結果から、この提案されている構成によっても、さらに高い変換効率が得られることがわかる。

【0116】

本実施の形態の半導体装置 30 は、例えば、以下に説明するようにして、製造することができる。

まず、絶縁基板 11 上に、電極層 12 を形成する。電極層 12 の材料としては、金属、合金、金属化合物等の導電性材料を使用することができる。電極層 12 は、層を形成した後に、所定の平面パターンにパターニングする。

次に、電極層 12 上に、第 1 の非晶質シリコン層を形成する。

そして、第 1 の非晶質シリコン層を形成した後に、本発明の半導体装置の製造方法を用いて、第 1 の非晶質シリコン層を結晶化して、多結晶シリコン層 16 を形成する。

次に、多結晶シリコン層 16 に、 n 型不純物を注入して n^+ 領域 13 を形成し、 p 型不純物を注入して p^+ 領域 15 を形成する。 n^+ 領域 13 と p^+ 領域 15 の形成順序は、どちらを先にしても構わない。

その後、多結晶シリコン層 16 上に、例えば、プラズマ CVD 法により、（第 2 の）非晶質シリコン層 24 として、水素化した非晶質シリコン層を形成する。

その後、（第 2 の）非晶質シリコン層 24 に、 n 型不純物を注入して n^+ 領域 21 を形成し、 p 型不純物を注入して p^+ 領域 23 を形成する。 n^+ 領域 21 と p^+ 領域 23 の形成順序は、どちらを先にしても構わない。

さらに、非晶質シリコン層 24 の上に、透明電極層 17 を形成する。

このようにして、図 20 に示した半導体装置 30 を製造することができる。

【0117】

上述の本実施の形態の半導体装置の構成によれば、縦型 PIN ダイオードの多結晶シリコン層 16 を、本発明の半導体装置の製造方法を用いて形成することにより、多結晶シリコン層 16 として、平坦性、均一性、結晶性に優れた、多結晶シリコン層を使用することができる。これにより、光の変換効率の高い PIN ダイオードを有する半導体装置 30 を構成することができる。

【0118】

そして、第 1 の縦型 PIN ダイオードを形成した多結晶シリコン層 16 の上に、第 2 の縦型 PIN ダイオードを形成した非晶質シリコン層 24 が積層されてタンデム構造とされているので、従来提案されているタンデム構造と同様に、太陽光の幅広い波長帯にわたって、受光検出することができる。

【0119】

また、本実施の形態によれば、従来の太陽電池等のように、厚いバルクのシリコン層を使用した構成と比較して、シリコンの使用量を大幅に少なくすることができる。これにより、材料コストを大幅に低減することができる。

【0120】

本発明は、上述の実施の形態や実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【符号の説明】

【0121】

1, 11 絶縁基板、2, 3 多結晶シリコン薄膜、4 絶縁膜、5, 7 電極層、6 ゲート電極、10, 20, 30 半導体装置、12 電極層、16 多結晶シリコン層、17 透明電極層、24 非晶質シリコン層、31 光源ユニット、32 レーザダイオード、33 光ファイバ、34 光学ヘッドユニット、35 ビームホモジナイザ、36 出力モニタ、37 AF ディテクタ、38 対物レンズ、39 ビームスポット、4

10

20

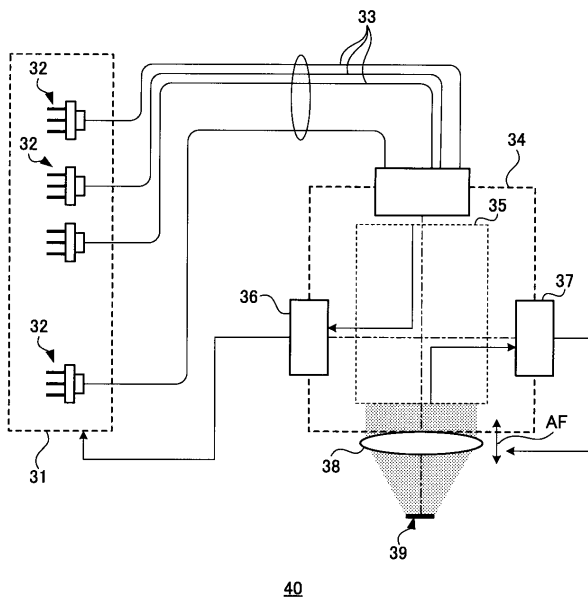
30

40

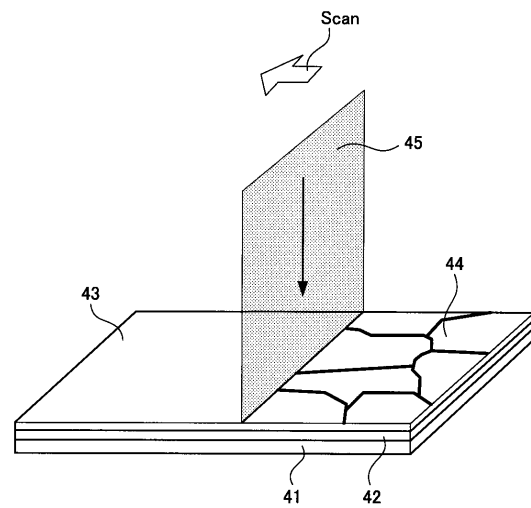
50

0 結晶化装置、4 1 ガラス基板、4 2 下地層（バッファ層）、4 3 非晶質シリコン層、4 4 結晶質シリコン層

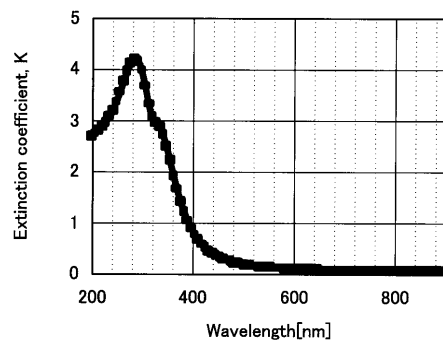
【図1】



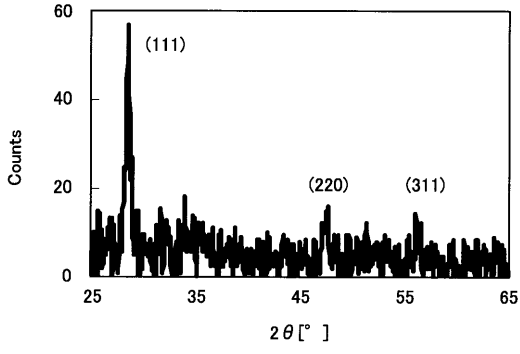
【図2】



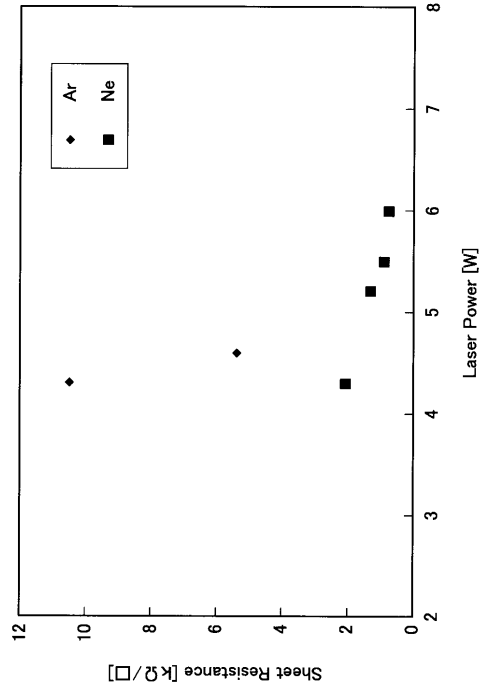
【図4】



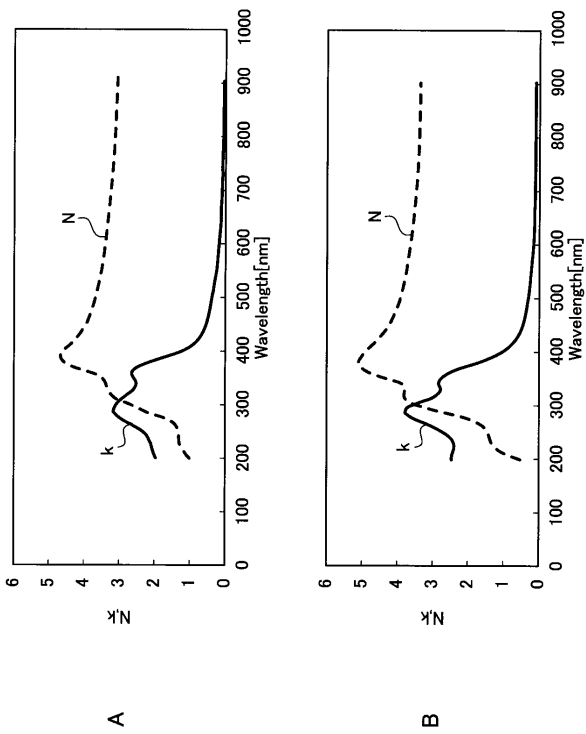
【 5 】



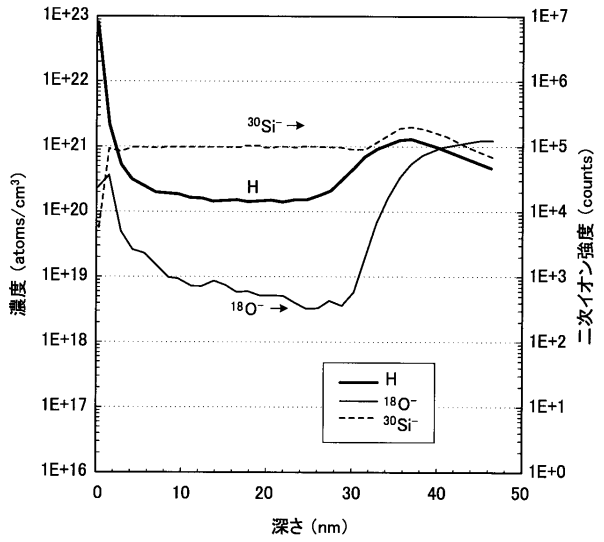
【 1 1 】



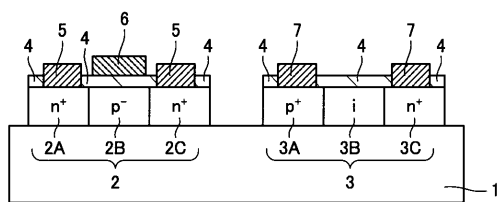
【 1 2 】



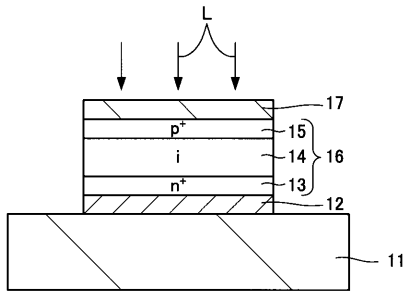
【 1 6 】



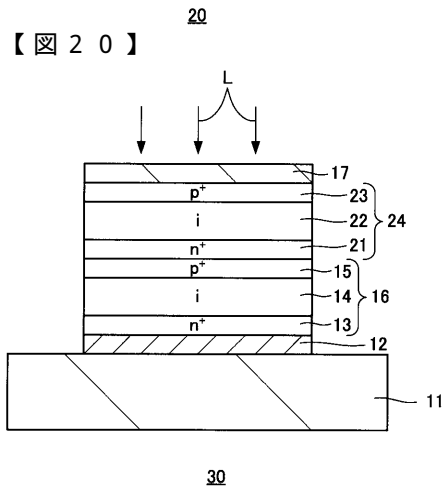
【 1 8 】



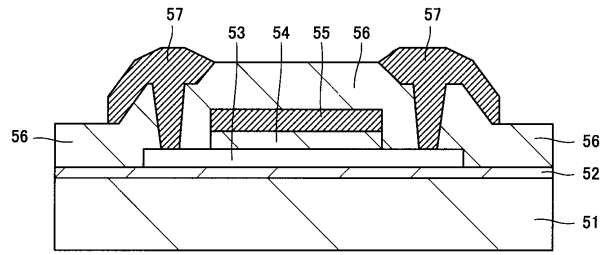
【図19】



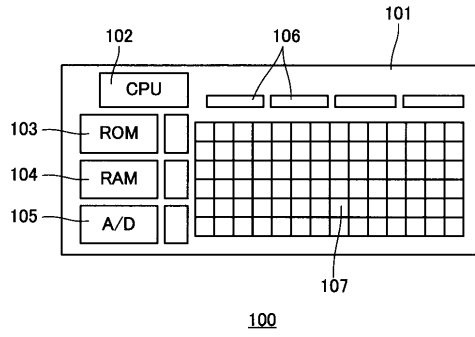
【図20】



【図22】



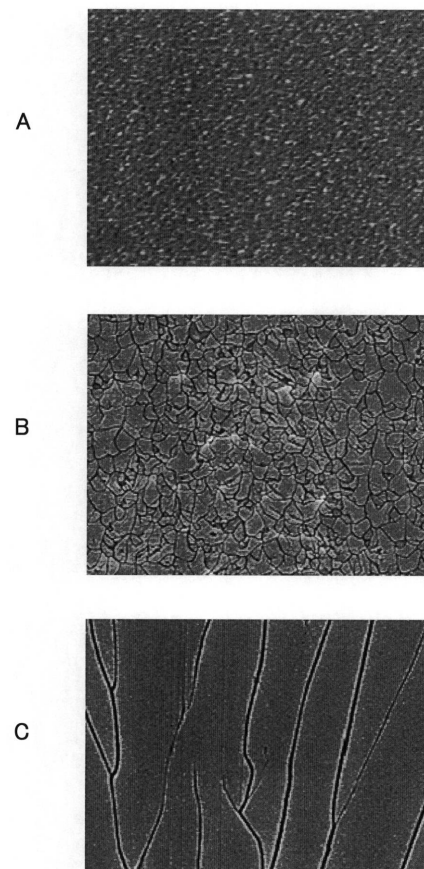
【図23】



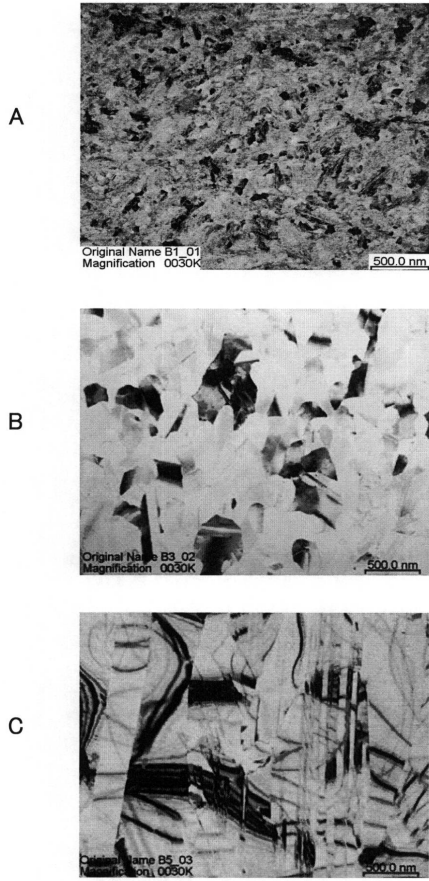
【図3】



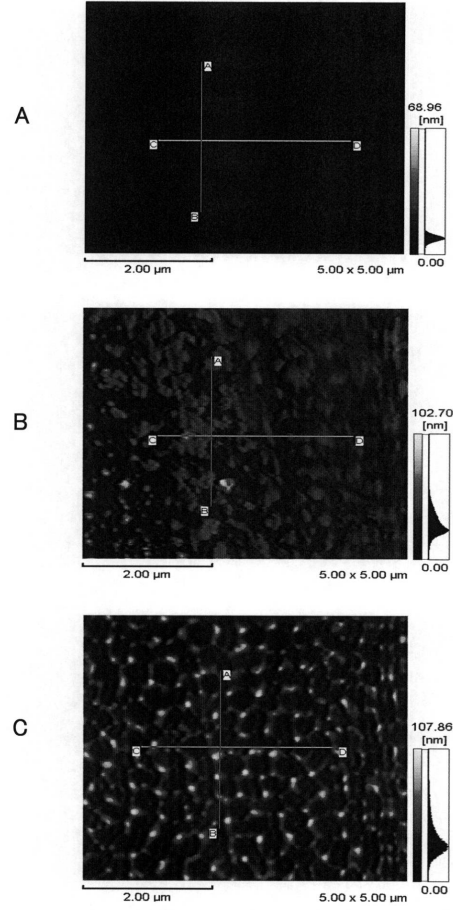
【図6】



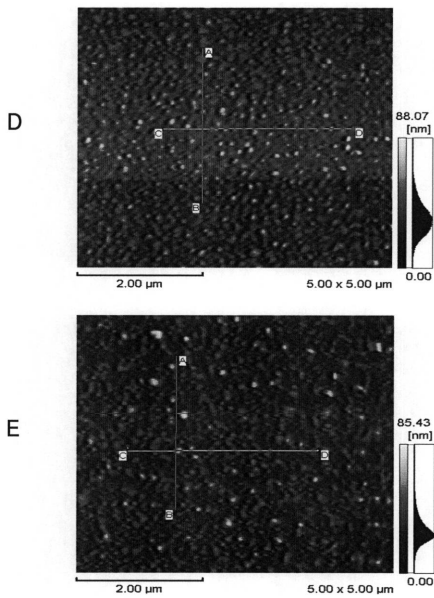
【 図 7 】



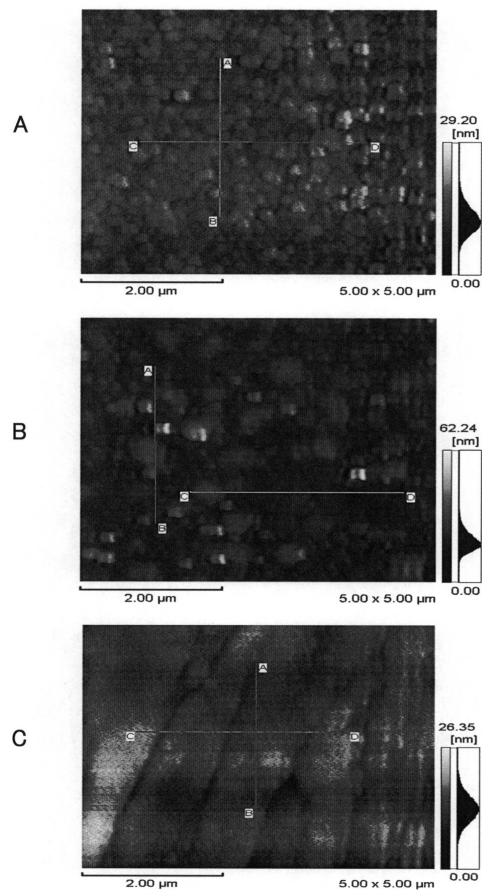
【 図 8 】



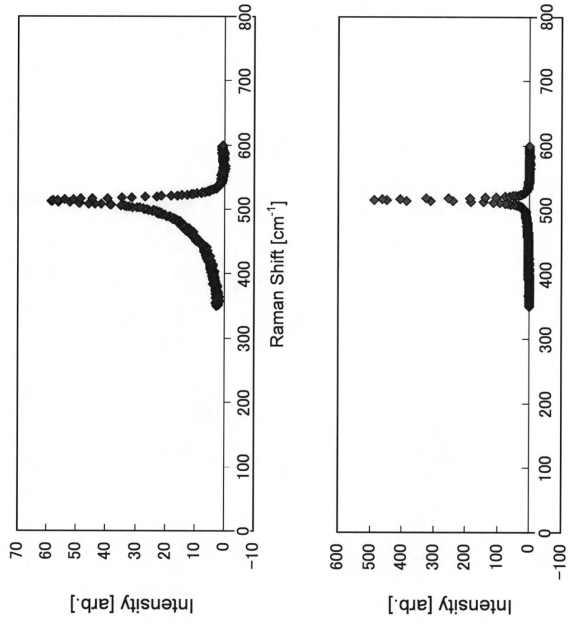
【 図 9 】



【 図 10 】



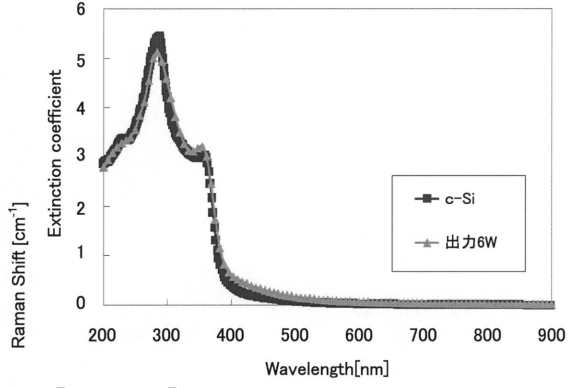
【 図 1 3 】



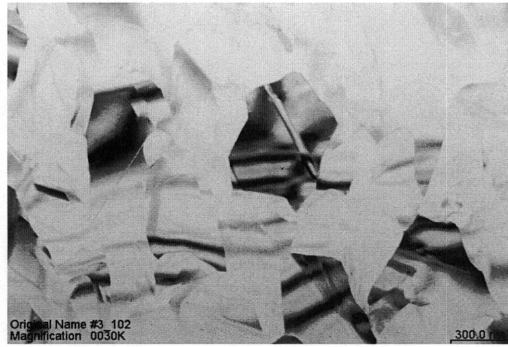
A

B

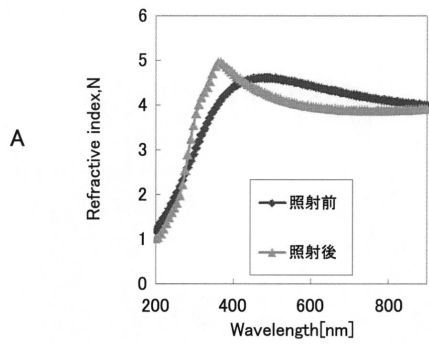
【 図 1 4 】



【 図 1 5 】

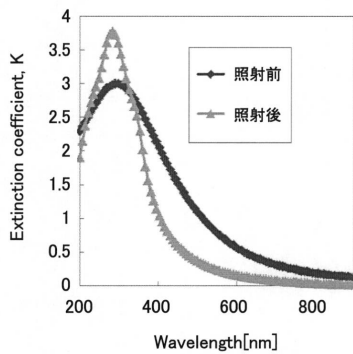


【 図 1 7 】

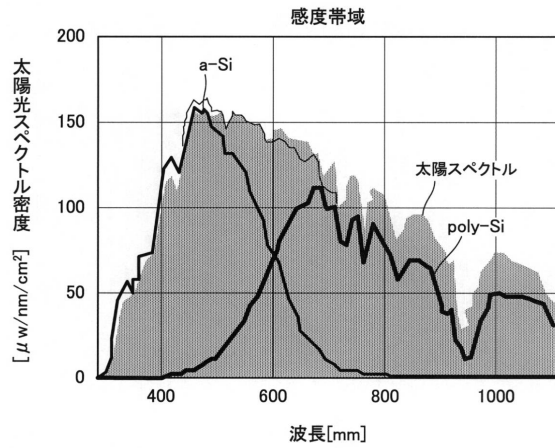


A

B



【 図 2 1 】



フロントページの続き

(51)Int.Cl.		F I
C 2 3 C 14/58	(2006.01)	C 2 3 C 16/24
C 2 3 C 16/24	(2006.01)	C 2 3 C 16/56
C 2 3 C 16/56	(2006.01)	C 2 3 C 16/50
C 2 3 C 16/50	(2006.01)	

- (72)発明者 鈴木 俊治
 沖縄県中頭郡西原町千原 1 番地 国立大学法人琉球大学 工学部内
- (72)発明者 白井 克弥
 沖縄県中頭郡西原町千原 1 番地 国立大学法人琉球大学 工学部内
- (72)発明者 ムジラネザ ビレジェヤ ジョン ドゥ ジュ
 沖縄県中頭郡西原町千原 1 番地 国立大学法人琉球大学 工学部内
- (72)発明者 荻野 義明
 神奈川県足柄上郡中井町境 7 8 1 番地 日立コンピュータ機器株式会社内
- (72)発明者 佐保田 英司
 神奈川県足柄上郡中井町境 7 8 1 番地 日立コンピュータ機器株式会社内
- (72)発明者 橋本 隆夫
 神奈川県足柄上郡中井町境 7 8 1 番地 日立コンピュータ機器株式会社内
- (72)発明者 松島 英紀
 神奈川県足柄上郡中井町境 7 8 1 番地 日立コンピュータ機器株式会社内

審査官 桑原 清

- (56)参考文献 特開 2 0 0 8 - 2 1 8 8 9 3 (J P , A)
 特開 2 0 0 4 - 3 4 2 7 8 5 (J P , A)
 特開 2 0 0 3 - 0 3 7 0 6 5 (J P , A)
 特開 2 0 0 2 - 1 4 1 2 8 4 (J P , A)
 特開平 1 1 - 2 9 8 0 0 4 (J P , A)
 特開 2 0 0 4 - 3 5 6 1 5 1 (J P , A)
 特開 2 0 0 5 - 1 9 7 6 5 1 (J P , A)
 特表 2 0 0 7 - 5 1 3 4 9 4 (J P , A)
 特開 2 0 0 9 - 2 8 3 9 2 3 (J P , A)
 特開 2 0 0 4 - 0 6 3 9 2 4 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 2 0
 H 0 1 L 2 1 / 2 6 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 7 8 6
 C 2 3 C 1 4 / 1 4
 C 2 3 C 1 4 / 5 8
 C 2 3 C 1 6 / 2 4
 C 2 3 C 1 6 / 5 0
 C 2 3 C 1 6 / 5 6