

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-71604  
(P2019-71604A)

(43) 公開日 令和1年5月9日(2019.5.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03M 1/50 (2006.01)</b>	H03M 1/50	5J022
<b>H03K 5/153 (2006.01)</b>	H03K 5/153	5J039

審査請求 未請求 請求項の数 10 O L (全 23 頁)

(21) 出願番号 特願2018-159235 (P2018-159235)  
 (22) 出願日 平成30年8月28日 (2018. 8. 28)  
 (31) 優先権主張番号 特願2017-197050 (P2017-197050)  
 (32) 優先日 平成29年10月10日 (2017.10.10)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 504258527  
 国立大学法人 鹿児島大学  
 鹿児島県鹿児島市郡元一丁目21番24号  
 (74) 代理人 100095407  
 弁理士 木村 満  
 (74) 代理人 100162259  
 弁理士 末富 孝典  
 (74) 代理人 100133592  
 弁理士 山口 浩一  
 (74) 代理人 100168114  
 弁理士 山中 生太  
 (72) 発明者 大島 賢一  
 鹿児島県鹿児島市郡元一丁目21番24号  
 国立大学法人 鹿児島大学内  
 Fターム(参考) 5J022 AA11 CF02  
 5J039 DA01

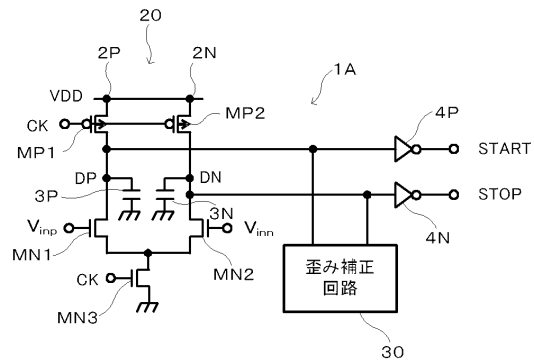
(54) 【発明の名称】 電圧・時間変換器及びアナログ・デジタル変換器

(57) 【要約】

【課題】良好な線形性を得ることができる電圧・時間変換器を提供する。また、変換精度を上げて消費電力の増加、動作速度の低下を抑制することができるアナログ・デジタル変換器を提供する。

【解決手段】電圧・時間変換器 1A は、差動電圧信号 ( $V_{inp}$ ,  $V_{inn}$ ) を時間出力に変換する。変換回路 20 は、差動電圧信号 ( $V_{inp}$ ,  $V_{inn}$ ) をゲート電圧として入力し、差動電圧信号 ( $V_{inp}$ ,  $V_{inn}$ ) の大きさに応じた時間出力を示すタイミング信号 (START, STOP) に線形変換する第1のMOS差動回路を備える。歪み補正回路 30 は、差動電圧信号 ( $V_{inp}$ ,  $V_{inn}$ ) からタイミング信号 (START, STOP) への線形変換が線形性を保つように、第1のMOS差動回路から出力されタイミング信号 (START, STOP) に対応する一対の電流を補正する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

差動電圧信号をゲート電圧として入力し、該差動電圧信号の大きさに応じた時間出力を示す一对のパルス電圧信号に変換する第 1 の MOS 差動回路を備える変換回路と、

前記変換回路における前記差動電圧信号から前記一对のパルス電圧信号への変換が線形性を保つように、前記一对のパルス電圧信号に対応する電流として前記第 1 の MOS 差動回路から出力される一对の電流を補正する補正回路と、

を備える電圧・時間変換器。

## 【請求項 2】

前記補正回路は、

前記一对の電流にそれぞれ補正電流を加えることにより、前記一对のパルス電圧信号に含まれる前記差動電圧信号の高次成分を除去する第 2 の MOS 差動回路を備える歪み補正回路である、

請求項 1 に記載の電圧・時間変換器。

## 【請求項 3】

前記第 1 の MOS 差動回路と前記第 2 の MOS 差動回路とで、入力する前記差動電圧信号の極性が逆であり、

前記第 1 の MOS 差動回路において前記差動電圧信号を入力する CMOS の利得係数と、前記第 2 の MOS 差動回路において前記差動電圧信号を入力する CMOS の利得係数  $c$  との関係が、

$$c = (3 - 2 \quad 2)$$

を満たす、

請求項 2 に記載の電圧・時間変換器。

## 【請求項 4】

前記第 2 の MOS 差動回路に入力する 2 つのゲート電圧を一定の電圧とし、

前記第 1 の MOS 差動回路において前記差動電圧信号を入力する CMOS の利得係数と、

前記第 2 の MOS 差動回路において前記 2 つのゲート電圧を入力する CMOS の利得係数  $c$  との関係が、

$$c =$$

を満たし、

前記第 1 の MOS 差動回路に入力される前記差動電圧信号のコモンレベル  $V_{c.o.m}$  と、前記第 2 の MOS 差動回路に入力される前記 2 つのゲート電圧のコモンレベル  $V_c$  との関係が、

$$V_{c.o.m} = V_c$$

を満たす、

請求項 2 に記載の電圧・時間変換器。

## 【請求項 5】

前記第 2 の MOS 差動回路へ入力される前記 2 つのゲート電圧の正側電圧と負側電圧との間に、前記一对のパルス電圧信号に含まれるオフセット成分を打ち消すオフセットを与える、

請求項 4 に記載の電圧・時間変換器。

## 【請求項 6】

前記変換回路は、

前記第 1 の MOS 差動回路に一对の抵抗を挿入することにより、前記差動電圧信号に比例して増加する前記一对の電流を出力し、

前記補正回路は、

前記一对の電流にそれぞれ補正電流を加えることにより、前記差動電圧信号と前記一对のパルス電圧信号に対応する電流との伝達関数を、理想的な伝達関数に折れ線近似する、

請求項 1 に記載の電圧・時間変換器。

10

20

30

40

50

**【請求項 7】**

前記補正回路は、

前記差動電圧信号をゲート電圧として入力し、一对の抵抗が挿入され、前記差動電圧信号に比例して増加する前記補正電流を出力する少なくとも1つの第3のMOS差動回路を備える、

請求項6に記載の電圧・時間変換器。

**【請求項 8】**

前記補正回路は、

一定の電圧をゲート電圧として入力し、一定の電流を前記補正電流として出力する第4のMOS差動回路を備える、

請求項6に記載の電圧・時間変換器。

**【請求項 9】**

ゲート電圧を入力する一对のCMOSのソース端子が分離されて、各々のソース端子にクロック信号により制御される別のCMOSが接続されている、

請求項1から8のいずれか一項に記載の電圧・時間変換器。

**【請求項 10】**

入力した差動電圧信号を、 $n$  ( $n$ は自然数)ビットのデジタル信号のうちの上位 $m$  ( $m$ は $n$ より少ない自然数)ビットの上位デジタル信号に変換する上位AD変換器と、

前記差動電圧信号と、前記上位AD変換器から出力された上位デジタル信号とに基づいて、前記差動電圧信号の残差信号を発生させる残差発生回路と、

前記残差信号を、 $n$ ビットのデジタル信号のうちの下位 $n - m$ ビットの下位デジタル信号に変換する下位AD変換器と、

前記上位デジタル信号と、前記下位デジタル信号とを合成して、 $n$ ビットのデジタル信号として出力する合成器と、

を備え、

前記上位AD変換器及び前記下位AD変換器の少なくとも一方が、請求項1から9のいずれか一項に記載の電圧・時間変換器を備えている、

アナログ・デジタル変換器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、電圧・時間変換器及びアナログ・デジタル変換器に関する。

**【背景技術】****【0002】**

CMOS (Complementary Metal Oxide Semiconductor) の微細化に伴い、デジタル回路の性能向上はめざましく、小面積化、高速化、低電力化が進んでいる。アナログ回路においても、微細化による遮断周波数の向上により、ミリ波やテラHz領域で動作可能なLSI (Large-Scale Integration) が登場している。しかしながら、その反面、真性利得の低下、素子ばらつきの増大、電源電圧低下に伴うSN比の劣化など、微細化の負の側面も顕在化しており、これを解決する様々な技術が検討されている。

**【0003】**

その中で最近、信号を時間領域で表現して処理する時間領域アナログ技術が注目を集めている。時間領域で信号を表現すれば、電源電圧に制限されない信号表現が可能となり、デジタル回路中心の回路構成が可能となるため、微細化の恩恵を享受しやすい。

**【0004】**

こうした背景の下、時間領域アナログ技術を用いたアナログ・デジタル変換器 (Analog-to-Digital Converter ; ADC) の研究も盛んに行われている。例えば非特許文献1では、電圧・時間変換器 (Voltage-to-Time Converter ; VTC) と時間・デジタル変換器 (Time-to-Digital Converter ; TDC) を組み合わせたアナログ・デジタル変換器が報告されている。このアナログ・デジタル変換器では、入力した差動電圧信号が、電圧・時間変換器で時

10

20

30

40

50

間出力に変換された後、時間・デジタル変換器において時間出力がデジタル信号へ変換される。

【 0 0 0 5 】

時間・デジタル変換器としては高速化に適した並列型が採用されており、並列型の時間・デジタル変換器では、5 GHz の高速動作が  $170 \text{ fJ / conv. - step}$  という低エネルギーで実現されている。また、従来の電圧領域のアナログ・デジタル変換器と時間領域のアナログ・デジタル変換器を組み合わせる試みも報告されている（非特許文献 2 参照）。この組み合わせでは、逐次変換型（Successive Approximations Register ; SAR）アナログ・デジタル変換器で粗い変換が行われた後に、入力した差動電圧信号と粗い変換結果との残差信号が、時間領域のアナログ・デジタル変換器でデジタル信号に変換される。これにより、動作速度は  $250 \text{ kHz}$  と低速ではあるが、 $2.02 \text{ fJ / conv. - step}$  という極低エネルギー動作を可能とするアナログ・デジタル変換器が実現されている。

10

【 先行技術文献 】

【 非特許文献 】

【 0 0 0 6 】

【 非特許文献 1 】 Yongsheng Xu, et al., "5-bit 5-GS/s Noninterleaved Time-Based ADC in 65-nm CMOS for Radio-Astronomy Applications," IEEE Transactions on Very Large Scale Integration(VLSI) Systems, vol.24, no.12, pp.3513-3525, Dec.2016.

【 非特許文献 2 】 Yan-Jiun Chen, et al., "A 2.02-5.16 fJ/Conversion Step 10 Bit Hybrid Coarse-Fine SAR ADC With Time-Domain Quantizer in 90nm CMOS," IEEE Journal of Solid-State Circuits, vol.51, no.2, pp.357-364, Feb. 2016.

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

非特許文献 1 のアナログ・デジタル変換器は、電圧・時間変換器を用いて、入力した差動電圧信号を時間出力に変換した後に、時間・デジタル変換器を用いて、時間出力をデジタル信号へ変換する。しかしながら、この電圧・時間変換器の線形性には限界があるため、変換精度は 5 ビットに留まっている。また、仮に電圧・時間変換器の線形性の問題が解決できたとしても、時間・デジタル変換器が並列型であるため、変換精度を上げると回路規模と変換時間が指数関数的に増加してしまい、消費電力の増加、動作速度の低下の問題に直面する。

30

【 0 0 0 8 】

本発明は、上記実情に鑑みてなされたものであり、良好な線形性を得ることができる電圧・時間変換器を提供することを目的とする。また、本発明は、変換精度を上げて消費電力の増加、動作速度の低下を抑制することができるアナログ・デジタル変換器を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の第 1 の観点に係る電圧・時間変換器は、  
 差動電圧信号をゲート電圧として入力し、該差動電圧信号の大きさに応じた時間出力を示す一対のパルス電圧信号に変換する第 1 の MOS 差動回路を備える変換回路と、  
 前記変換回路における前記差動電圧信号から前記一対のパルス電圧信号への変換が線形性を保つように、前記一対のパルス電圧信号に対応する電流として前記第 1 の MOS 差動回路から出力される一対の電流を補正する補正回路と、  
 を備える。

40

【 0 0 1 0 】

この場合、前記補正回路は、  
 前記一対の電流にそれぞれ補正電流を加えることにより、前記一対のパルス電圧信号に含まれる前記差動電圧信号の高次成分を除去する第 2 の MOS 差動回路を備える歪み補正

50

回路である、

こととしてもよい。

【0011】

また、前記第1のMOS差動回路と前記第2のMOS差動回路とで、入力する前記差動電圧信号の極性が逆であり、

前記第1のMOS差動回路において前記差動電圧信号を入力するCMOSの利得係数と、前記第2のMOS差動回路において前記差動電圧信号を入力するCMOSの利得係数 $\beta_c$ との関係が、

$$\beta_c = (3 - 2\beta_2)$$

を満たす、

こととしてもよい。

10

【0012】

また、前記第2のMOS差動回路に入力する2つのゲート電圧を一定の電圧とし、

前記第1のMOS差動回路において前記差動電圧信号を入力するCMOSの利得係数と、

前記第2のMOS差動回路において前記2つのゲート電圧を入力するCMOSの利得係数 $\beta_c$ との関係が、

$$\beta_c =$$

を満たし、

前記第1のMOS差動回路に入力される前記差動電圧信号のコモンレベル $V_{c,om}$ と、

前記第2のMOS差動回路に入力される前記2つのゲート電圧のコモンレベル $V_c$ との関係が、

$$V_{c,om} = V_c$$

を満たす、

こととしてもよい。

20

【0013】

前記第2のMOS差動回路へ入力される前記2つのゲート電圧の正側電圧と負側電圧との間に、前記一对のパルス電圧信号に含まれるオフセット成分を打ち消すオフセットを与える、

こととしてもよい。

30

【0014】

前記変換回路は、

前記第1のMOS差動回路に一对の抵抗を挿入することにより、前記差動電圧信号に比例して増加する前記一对の電流を出力し、

前記補正回路は、

前記一对の電流にそれぞれ補正電流を加えることにより、前記差動電圧信号と前記一对のパルス電圧信号に対応する電流との伝達関数を、理想的な伝達関数に折れ線近似する、

こととしてもよい。

【0015】

前記補正回路は、

前記差動電圧信号をゲート電圧として入力し、一对の抵抗が挿入され、前記差動電圧信号に比例して増加する前記補正電流を出力する少なくとも1つの第3のMOS差動回路を備える、

こととしてもよい。

40

【0016】

前記補正回路は、

一定の電圧をゲート電圧として入力し、一定の電流を前記補正電流として出力する第4のMOS差動回路を備える、

こととしてもよい。

【0017】

50

ゲート電圧を入力する一対のCMOSのソース端子が分離されて、各々のソース端子にクロック信号により制御される別のCMOSが接続されている、  
 こととしてもよい。

【0018】

本発明の第2の観点に係るアナログ・デジタル変換器は、  
 入力した差動電圧信号を、 $n$  ( $n$ は自然数)ビットのデジタル信号のうちの上位 $m$  ( $m$ は $n$ より少ない自然数)ビットの上位デジタル信号に変換する上位AD変換器と、  
 前記差動電圧信号と、前記上位AD変換器から出力された上位デジタル信号とに基づいて、前記差動電圧信号の残差信号を発生させる残差発生回路と、  
 前記残差信号を、 $n$ ビットのデジタル信号のうちの下位 $n - m$ ビットの下位デジタル信号に変換する下位AD変換器と、  
 前記上位デジタル信号と、前記下位デジタル信号とを合成して、 $n$ ビットのデジタル信号として出力する合成器と、  
 を備え、  
 前記上位AD変換器及び前記下位AD変換器の少なくとも一方が、本発明の第1の観点に係る電圧・時間変換器を備えている。

10

【発明の効果】

【0019】

本発明によれば、差動電圧信号を時間出力に変換する場合に、その線形性を保つために一対のパルス電圧信号に対応する一対の電流を補正するので、良好な線形性を得ることができる。また、本発明によれば、一度に変換するデジタル信号のビット数を少なくすることができるので、変換精度を上げて消費電力の増加、動作速度の低下を抑制することができる。

20

【図面の簡単な説明】

【0020】

【図1】本発明の実施の形態1に係る電圧・時間変換器の回路図である。  
 【図2】図1の電圧・時間変換器の動作を示すタイミングチャートである。  
 【図3】図1の電圧・時間変換器の等価回路図である。  
 【図4】歪み補正回路の構成を示す回路図である。  
 【図5】本発明の実施の形態2に係る電圧・時間変換器の回路図である。  
 【図6】本発明の実施の形態3に係る電圧・時間変換器の回路図である。  
 【図7】従来の電圧・時間変換器の回路図である。  
 【図8】従来の電圧・時間変換器における差動電圧と電流との伝達関数を示す図である。  
 【図9】折れ線状の近似伝達関数を示す図である。  
 【図10】本発明の実施の形態4に係る電圧・時間変換器の回路図である。  
 【図11】本発明の実施の形態4に係る電圧・時間変換器における差動電圧と電流との伝達関数を示す図である。  
 【図12】本発明の実施の形態5に係る電圧・時間変換器の回路図である。  
 【図13】本発明の実施の形態5に係る電圧・時間変換器における差動電圧と電流との伝達関数を示す図である。  
 【図14】本発明の実施の形態6に係るアナログ・デジタル変換器の回路図である。  
 【図15】時間・デジタル変換器の回路構成の一例を示す回路図である。  
 【図16】時間・デジタル変換器の回路構成の他の例を示す回路図である。  
 【図17】残差発生回路の回路構成の一例を示す回路図である。

30

40

【発明を実施するための形態】

【0021】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0022】

実施の形態1.

まず、本発明の実施の形態1について説明する。

50

## 【0023】

本実施の形態に係る電圧・時間変換器1A(図1参照)は、差動電圧信号をその大きさに応じた時間出力に線形変換する。本実施の形態では、図2に示すように、入力する差動電圧信号の正側電圧信号を $V_{in_p}$ とし、負側電圧信号を $V_{in_n}$ とし、差動電圧信号を $(V_{in_p}, V_{in_n})$ で表す。差動電圧は $V_{in}$ となる。また、電圧・時間変換器1Aから出力される一対のパルス電圧信号、すなわちタイミング信号を(START信号, STOP信号)とする。START信号とSTOP信号との立ち上がりの時間差を時間出力 $t_{out}$ とする。

## 【0024】

時間出力 $t_{out}$ は、START信号がローレベルからハイレベルに移行した時点から、STOP信号がローレベルからハイレベルに移行した時点との間の時間を示す。以下では、2値信号における下側のレベル、すなわちローレベルを”L”とし、上側のレベル、すなわちハイレベルを”H”と表す。

10

## 【0025】

図1に示すように、この電圧・時間変換器1Aは、変換回路20と、補正回路としての歪み補正回路30と、を備える。変換回路20は、差動電圧信号 $(V_{in_p}, V_{in_n})$ を入力し、該差動電圧信号 $(V_{in_p}, V_{in_n})$ をその大きさに応じた時間出力 $t_{out}$ を示すタイミング信号を(START信号, STOP信号)に変換する第1のMOS差動回路を備える。

20

## 【0026】

第1のMOS差動回路は、START信号を出力するためのMOSトランジスタ(CMOS)MP1, MN1と、STOP信号を出力するためのMOSトランジスタMP2, MN2と、両信号に共通のMOSトランジスタMN3と、電源電圧端子2P, 2Nと、ノードDP, DNと、コンデンサ3P, 3Nと、を備える。この他、変換回路20は、インバータ4P, 4Nを備える。

20

## 【0027】

第1のMOS差動回路は、正側電圧信号 $V_{in_p}$ を入力するMOSトランジスタMN1と、負側電圧信号 $V_{in_n}$ を入力するMOSトランジスタMN2と、を中心に構成される。なお、MOSトランジスタMN1, MN2の電子の移動度を $\mu$ とし、単位面積当たりのゲート容量を $C_{ox}$ とし、MOSのゲート幅を $w$ とし、ゲート長を $L$ とすると、MOSトランジスタMN1、MOSトランジスタMN2の利得係数は、以下の式で表される。

30

$$= \mu \cdot C_{ox} \cdot (w/L) \dots (1)$$

## 【0028】

MOSトランジスタMN1は、電源電圧VDDを供給する電源電圧端子2Pと、グラウンドとの間に挿入されている。MOSトランジスタMN1は、正側電圧信号 $V_{in_p}$ を、ゲート電圧(制御電圧)として入力する。MOSトランジスタMN1とグラウンドの間には、クロック信号CKをゲート電圧として入力するMOSトランジスタ(スイッチ)MN3が挿入されている。

## 【0029】

また、MOSトランジスタMN1と電源電圧端子2Pとの間には、クロック信号CKの反転信号をゲート電圧として入力するMOSトランジスタ(スイッチ)MP1が挿入されている。MOSトランジスタMP1とMOSトランジスタMN1との間に、ノードDPが形成されている。ノードDPは、コンデンサ3Pを介して接地されている。また、ノードDPは、インバータ4Pと接続されている。インバータ4Pの出力がSTART信号となる。

40

## 【0030】

一方、MOSトランジスタMN2は、電源電圧VDDを供給する電源電圧端子2Nと、グラウンドとの間に挿入されている。MOSトランジスタMN2は、負側電圧信号 $V_{in_n}$ を、ゲート電圧(制御電圧)として入力する。MOSトランジスタMN2とグラウンドとの間には、クロック信号CKをゲート電圧として入力するMOSトランジスタ(スイッ

50

チ) MN3が挿入されている。

【0031】

MOSTランジスタMN2と電源電圧端子2Nとの間には、クロック信号CKの反転信号をゲート電圧として入力するMOSTランジスタMP2(スイッチ)が挿入されている。MOSTランジスタMP2とMOSTランジスタMN2との間に、ノードDNが形成されている。ノードDNは、コンデンサ3Nを介して接地されている。また、ノードDNは、インバータ4Nと接続されている。インバータ4Nの出力がSTOP信号となる。

【0032】

この電圧・時間変換器1Aは、クロック信号CKに従って動作する。クロック信号CKは、一定周期で" L "と" H "とを繰り返す信号である。クロック信号CKが" L "となっている期間を、プリチャージ期間とし、クロック信号CKが" H "となっている期間を、変換期間とする。

10

【0033】

図2に示すように、プリチャージ期間では、クロック信号CKが" L "となっているので、MOSTランジスタMN3がオフとなり、MOSTランジスタMP1, MP2がオンとなる。このため、コンデンサ3P, 3Nが蓄電されて、ノードDP, DNの電圧が電源電圧VDDとなっている。

【0034】

その後、プリチャージ期間から変換期間に移行すると、クロック信号CKが" H "に切り替わるので、MOSTランジスタMN3がオンとなり、MOSTランジスタMP1, MP2がオフとなる。このため、差動電圧信号( $V_{in_p}$ ,  $V_{in_n}$ )に依存した電流( $I_p$ ,  $I_n$ )がMOSTランジスタMN1, MN2に流れてノードDP, DNが放電される。

20

【0035】

ノードDP, DNの電位がインバータ4P, 4Nのしきい値電圧 $V_{tin_v}$ を下回ると、その時刻にSTART信号, STOP信号が立ち上がる。START信号, STOP信号の立ち上がりの時間差が時間出力 $t_{out}$ となる。ノードDP, DNの放電時間は、差動電圧信号( $V_{in_p}$ ,  $V_{in_n}$ )に依存して変化し、差動電圧信号( $V_{in_p}$ ,  $V_{in_n}$ )が小さい範囲ではSTART信号, STOP信号で規定される時間出力 $t_{out}$ は、差動電圧 $V_{in}$ に比例することから、この回路は電圧・時間変換回路として機能する。

30

【0036】

図3に示すように、MOSTランジスタMN1, MN2を備える電圧・時間変換器1Aは、容量Cに蓄えられた電荷を放電する定電流( $I_p$ ,  $I_n$ )の電流源回路でモデル化される。ここで、図2に示すように、差動電圧信号( $V_{in_p}$ ,  $V_{in_n}$ )のコモンレベルを $V_{com}$ とし、定電流(信号電流)( $I_p$ ,  $I_n$ )は以下の式(2)で表せるものと近似する。

【0037】

【数1】

$$\left. \begin{aligned} I_P &= \frac{\beta}{2} \left( V_{com} + \frac{V_{in}}{2} - V_{TH} \right)^2 \\ I_N &= \frac{\beta}{2} \left( V_{com} - \frac{V_{in}}{2} - V_{TH} \right)^2 \end{aligned} \right\} \dots (2)$$

40

ここで、 $V_{TH}$ は、MOSTランジスタMN1, MN2のしきい値電圧である。ノードDP, DNがインバータ4P, 4Nのしきい値 $V_{tin_v}$ を下回るまでの時間 $t_p$ ,  $t_n$ は、以下の式(3)で表せる。

50



【 0 0 3 8 】

【 数 2 】

$$\left. \begin{aligned} t_p &= \frac{CV_{DD}}{2I_p} \\ t_n &= \frac{CV_{DD}}{2I_n} \end{aligned} \right\} \dots (3)$$

10

ただし、ここで、 $V_{tin} = V_{DD} / 2$ とした。式(2)、式(3)から時間出力  $t_{out}$  を求めると、以下の式ようになる。

【 0 0 3 9 】

【 数 3 】

$$\begin{aligned} t_{out} &= \frac{32CV_{DD}V_{in}(V_{com} - V_{TH})}{\beta[V_{in}^2 - 4(V_{com} - V_{TH})^2]^2} \\ &\approx \frac{2CV_{DD}}{\beta(V_{com} - V_{TH})^3}V_{in} + \frac{CV_{DD}}{\beta(V_{com} - V_{TH})^5}V_{in}^3 + \frac{3CV_{DD}}{8\beta(V_{com} - V_{TH})^7}V_{in}^5 \\ &= GV_{in} + \frac{G}{2(V_{com} - V_{TH})^2}V_{in}^3 + \frac{3G}{8(V_{com} - V_{TH})^4}V_{in}^5 \dots (4) \end{aligned}$$

20

ここで、 $G$ は電圧・時間変換器の利得である。この式(4)からわかるように、変換回路20は、 $(V_{com} - V_{TH})^3$ に反比例する3次成分の歪(3次歪)を発生する。

【 0 0 4 0 】

30

補正回路としての歪み補正回路30は、信号電流( $I_p, I_n$ )に補正電流( $I_{pc}, I_{nc}$ )を加えることにより、上述の3次歪を打ち消し、時間出力  $t_{out}$  の線形性を改善する。歪み補正回路30は、変換回路20における差動電圧信号( $V_{inp}, V_{inn}$ )からタイミング信号(START信号, STOP信号)への線形変換が線形性を保つように、タイミング信号(START信号, STOP信号)に対応する電流として第1のMOS差動回路から出力される一対の電流( $I_p, I_n$ )を補正する。

【 0 0 4 1 】

図4に示すように、歪み補正回路30は一対の電流( $I_p, I_n$ )にそれぞれ補正電流を加えることにより、タイミング信号(START信号, STOP信号)に含まれる差動電圧信号( $V_{inp}, V_{inn}$ )の高次成分(3次成分)を除去する第2のMOS差動回路を備える。第2のMOS差動回路は、MOSトランジスタMN1c, MN2c, MN4を備える。MOSトランジスタMN1cは、ノードDPとMOSトランジスタMN4との間に挿入され、差分電圧信号( $V_{inp}, V_{inn}$ )の負側電圧信号  $V_{inn}$  をゲート電圧として入力する。また、MOSトランジスタMN2cは、ノードDNとMOSトランジスタMN4との間に挿入され、差分電圧信号( $V_{inp}, V_{inn}$ )の正側電圧信号  $V_{inp}$  をゲート電圧として入力する。MOSトランジスタMN4は、MOSトランジスタMN1c, MN2cとグラウンドとの間に挿入される。このように、本実施の形態では、第1のMOS差動回路と第2のMOS差動回路とで、入力する差動電圧信号( $V_{inp}, V_{inn}$ )の極性が逆となっている。

40

【 0 0 4 2 】

50

補正電流 ( $I_{pc}$ ,  $I_{nc}$ ) は以下の式 (5) で表される。歪み補正回路 30 では、入力信号の接続を、上述のように変換回路 20 と入れ替えている (極性を逆にしている) ため、式 (5) と式 (2) とでは差動電圧  $V_{in}$  の符号が反転している。

【0043】

【数4】

$$\left. \begin{aligned} I_{pc} &= \frac{\beta_c}{2} \left( V_{com} - \frac{V_{in}}{2} + V_{TH} \right)^2 \\ I_{nc} &= \frac{\beta_c}{2} \left( V_{com} + \frac{V_{in}}{2} - V_{TH} \right)^2 \end{aligned} \right\} \dots (5) \quad 10$$

この回路の時間出力  $t_{out}$  を求めると、以下の式 (6) のようになる。 $\beta_c$  は、MOS トランジスタ  $MN1c$ ,  $MN2c$  の利得係数である。

【0044】

【数5】

$$\begin{aligned} t_{out} \approx & \frac{2CV_{DD}(\beta - \beta_c)}{(\beta + \beta_c)^2(V_{com} - V_{TH})^3} V_{in} + \frac{CV_{DD}(\beta - \beta_c)(\beta^2 - 6\beta\beta_c + \beta_c^2)}{(\beta + \beta_c)^4(V_{com} - V_{TH})^5} V_{in}^3 \\ & + \frac{CV_{DD}(\beta - 3\beta_c)(\beta - \beta_c)(3\beta - \beta_c)(\beta^2 - 14\beta\beta_c + \beta_c^2)}{8(\beta + \beta_c)^6(V_{com} - V_{TH})^7} V_{in}^5 \dots (6) \end{aligned} \quad 20$$

ここで、利得  $G$  を以下の式 (7) のように定義する。

【0045】

【数6】

$$G \equiv \frac{2CV_{DD}(\beta - \beta_c)}{(\beta + \beta_c)^2(V_{com} - V_{TH})^3} \dots (7) \quad 30$$

時間出力  $t_{out}$  は、以下の式 (8) のようになる。

【0046】

【数7】

$$\begin{aligned} t_{out} \approx & GV_{in} + \frac{G(\beta^2 - 6\beta\beta_c + \beta_c^2)}{2(\beta + \beta_c)^2(V_{com} - V_{TH})^2} V_{in}^3 \\ & + \frac{G(\beta - 3\beta_c)(\beta - \beta_c)(3\beta - \beta_c)(\beta^2 - 14\beta\beta_c + \beta_c^2)}{16(\beta + \beta_c)^6(V_{com} - V_{TH})^4} V_{in}^5 \dots (8) \end{aligned} \quad 40$$

上記式 (8) では、第2項が、3次歪みに対応する。この式 (8) からわかるように、第2項において、 $(V_{com} - V_{TH})^2$  に反比例する3次歪みが発生する。

【0047】

ここで、第1のMOS差動回路において差動電圧信号 ( $V_{inp}$ ,  $V_{inn}$ ) を入力す 50

るMOSトランジスタMN1, MN2の利得係数と、第2のMOS差動回路において差動電圧信号( $V_{inp}, V_{inn}$ )を入力するMOSトランジスタMN1c, MN2cの利得係数 $c$ との関係が、 $c = (3 - 2 \quad 2)$ を満たすとすると、式(8)の第2項は0となり3次歪をキャンセルすることができる。この場合の時間出力 $t_{out}$ は、以下のようなになる。

【0048】  
【数8】

$$t_{out} \approx GV_{in} - \frac{G}{16(V_{com} - V_{TH})^4} V_{in}^5 \dots (9)$$

10

3次歪がキャンセルされることで、従来の電圧・時間変換器と比較した場合、線形性を大きく改善することができる。

【0049】  
実施の形態2.

次に、本発明の実施の形態2について説明する。

【0050】

本実施の形態に係る電圧・時間変換器1Bは、変換回路20と歪み補正回路30とを備える点では、上記実施の形態1に係る電圧・時間変換器1Aと同じである。本実施の形態に係る電圧・時間変換器1Bは、歪み補正回路30において、第2のMOS差動回路を構成するMOSトランジスタMN1c, MN2cに入力されるゲート電圧(制御電圧)が、上記実施の形態1と異なっている。

20

【0051】

図5に示すように、本実施の形態では、MOSトランジスタMN1c, MN2cに入力されるゲート電圧を一定の電圧( $V_{pc}, V_{nc}$ )としている。補正電流( $I_{pc}, I_{nc}$ )は、制御電圧 $V_{pc}, V_{nc}$ を印加した第2のMOS差動回路により生成する。この場合、補正電流 $I_{pc}, I_{nc}$ は、以下の式で表せる。

【0052】

【数9】

$$\left. \begin{aligned} I_{pc} &= \frac{\beta_c}{2} (V_{pc} - V_{TH})^2 \\ I_{nc} &= \frac{\beta_c}{2} (V_{nc} - V_{TH})^2 \end{aligned} \right\} \dots (10)$$

30

ここから、時間出力 $t_{out}$ を求めると、以下の式となる。ただし、 $V_{pc} = V_{nc} = V_c$ としている。

【0053】

【数10】

$$t_{out} \approx \frac{2CV_{DD}(V_{com} - V_{TH}) \beta}{[(V_{com} - V_{TH})^2 \beta + (V_c - V_{TH})^2 \beta_c]^2} V_{in} + \frac{CV_{DD}(V_{com} - V_{TH})^2 \beta^2 [(V_{com} - V_{TH})^2 \beta - (V_c - V_{TH})^2 \beta_c]}{[(V_{com} - V_{TH})^2 \beta + (V_c - V_{TH})^2 \beta_c]^4} V_{in}^3 + \frac{CV_{DD}(V_{com} - V_{TH}) \beta^3 [3(V_{com} - V_{TH})^4 \beta^2 - 10(V_c - V_{TH})^2 (V_{com} - V_{TH})^2 \beta \beta_c + 3(V_c - V_{TH})^4 \beta_c^2]}{8[(V_{com} - V_{TH})^2 \beta + (V_c - V_{TH})^2 \beta_c]^6} V_{in}^5 \dots (11)$$

50

ここで、利得  $G$  を以下のように定義すると、

【 0 0 5 4 】

【 数 1 1 】

$$G \equiv \frac{2CV_{DD}(V_{com} - V_{TH})\beta}{\left[ (V_{com} - V_{TH})^2 \beta + (V_c - V_{TH})^2 \beta_c \right]^2} \dots (12)$$

時間出力  $t_{out}$  は、以下のように表せる。

【 0 0 5 5 】

【 数 1 2 】

$$t_{out} \approx GV_{in} + \frac{G\beta \left[ (V_{com} - V_{TH})^2 \beta - (V_c - V_{TH})^2 \beta_c \right]}{2 \left[ (V_{com} - V_{TH})^2 \beta + (V_c - V_{TH})^2 \beta_c \right]^2} V_{in}^3 + \frac{G\beta^2 \left[ 3 (V_{com} - V_{TH})^4 \beta^2 - 10 (V_c - V_{TH})^2 (V_{com} - V_{TH})^2 \beta \beta_c + 3 (V_c - V_{TH})^4 \beta_c^2 \right]}{16 \left[ (V_{com} - V_{TH})^2 \beta + (V_c - V_{TH})^2 \beta_c \right]^4} V_{in}^5 \dots (13)$$

10

20

ここで、第1のMOS差動回路において差動電圧信号 ( $V_{inp}$ ,  $V_{inn}$ ) を入力するMOSトランジスタMN1, MN2の利得係数  $\beta$  と、第2のMOS差動回路において2つのゲート電圧 ( $V_{pc}$ ,  $V_{nc}$ ) を入力するMOSトランジスタMN1c, MN2cの利得係数  $\beta_c$  との関係が、 $\beta_c = \beta$  を満たすものとする。さらに、第1のMOS差動回路に入力される差動電圧信号 ( $V_{inp}$ ,  $V_{inn}$ ) のコモンレベル  $V_{com}$  と、第2のMOS差動回路に入力される2つのゲート電圧のコモンレベル  $V_c$  との関係が、 $V_{com} = V_c$  を満たすものとする。この場合、第2項は0となり、3次歪みをキャンセルすることができる。この場合、時間出力  $t_{out}$  は、以下の式(14)のようになる。

【 0 0 5 6 】

【 数 1 3 】

$$t_{out} \approx GV_{in} - \frac{G}{64(V_{com} - V_{TH})^4} V_{in}^5 \dots (14)$$

30

上記式(14)からわかるように、上記実施の形態1よりも、5次歪の大きさを1/4に低減することができる。

【 0 0 5 7 】

また、式(12)から  $V_c$  を変化させることで、利得  $G$  を変えられることがわかる。したがって、製造ばらつきや温度変動により利得が変化しても、 $V_c$  を適切に調整することで、利得を一定に保つことができる。また、上記の解析では、 $V_{pc} = V_{nc} = V_c$  として計算を行ったが、 $V_{pc}$ ,  $V_{nc}$  を独立に調整すれば(すなわち  $V_{pc} \neq V_{nc}$  とすれば)、電圧・時間変換器1Bのオフセット成分もキャンセルすることができる。このように、第2のMOS差動回路への差動電圧信号の正側電圧  $V_{pc}$  と負側電圧  $V_{nc}$  との間に、タイミング信号(START信号, STOP信号)に含まれるオフセット成分を打ち消すオフセットを与えるようにしてもよい。

40

【 0 0 5 8 】

実施の形態3 .

50

次に、本発明の実施の形態 3 について説明する。

【0059】

本実施の形態に係る電圧・時間変換器 1 C は、変換回路 2 0 及び歪み補正回路 3 0 の差動回路の構成が、上記実施の形態 1 , 2 に係る電圧・時間変換器 1 A , 1 B と異なる。

【0060】

図 6 に示すように、本実施の形態に係る電圧・時間変換器 1 C では、一対の CMOS としての MOS トランジスタ MN 1 , MN 2 のソース端子が分離されて、各々のソース端子にクロック信号 CK により制御される別の MOS トランジスタ ( CMOS スイッチ ) MN 3 A , MN 3 B が接続されている。歪み補正回路 3 0 においても同様に、MOS トランジスタ MN 1 c , MN 2 c のソース端子が分離され、各々のソース端子にクロック信号 CK により制御される別の MOS トランジスタ ( スイッチ ) MN 4 A , MN 4 B が接続されている。このようにすることで、MOS トランジスタ MN 1 , MN 2 及び MOS トランジスタ MN 1 c , MN 2 c のソース端子を介した干渉を避けることができ、線形性をさらに改善することができる。

10

【0061】

ここでは図示しないが、この実施の形態に係る回路構成は、上記実施の形態 2 の電圧・時間変換器 1 B の構成にも同様に適用することができ、これにより、実施の形態 2 の電圧・時間変換器 1 B の線形性をさらに改善することができる。なお、他の実施の形態においても、ゲート電圧を入力する一対の CMOS のソース端子が分離されて、各々のソース端子にクロック信号 CK により制御される別の CMOS が接続されるようにしてもよい。

20

【0062】

実施の形態 4 .

次に、本発明の実施の形態 4 について説明する。

【0063】

本実施の形態に係る電圧・時間変換器 1 D ( 図 1 0 参照 ) の構成及び動作を理解するために、まず、理想的な電圧・時間変換器の特性について説明する。図 7 に示す電圧・時間変換器 1 A ' は、従来の回路構成を有する変換器である。図 7 に示すように、電圧・時間変換器 1 A ' は、容量 C を有するコンデンサ 3 P , 3 N と、コンデンサ 3 P , 3 N をプリチャージする MOS トランジスタ ( スイッチ ) MP 1 , MP 2 と、入力信号 ( V i n p , V i n n ) を、クロック信号 CK に同期して電流信号 ( I p , I n ) に変換する V I 変換器 2 5 と、インバータ 4 P , 4 N と、を備える。V I 変換器 2 5 は、図 1 に示す、MOS トランジスタ MN 1 , MN 2 , MN 3 で構成される回路をまとめたものである。

30

【0064】

ここで、電圧・時間変換器 1 A ' の特性を理想的な線形特性に近づけるために、V I 変換器 2 5 がどのような伝達特性を持てばよいかを考える。ノード DP , DN の電圧がインバータ 4 P , 4 N のしきい値 V t i n v を下回るまでの時間 ( t p , t n ) は、上記式 ( 3 ) に示すように電流 ( I p , I N ) に反比例するため、電流 ( I p , I N ) が、以下の式 ( 1 5 ) に示すように差動電圧 V i n の関数であれば、時間出力 t o u t は、差動電圧 V i n に対して線形となる。

40

【0065】

【数 1 4】

$$\left. \begin{aligned}
 I_P(V_{in}) &= \frac{1}{a - b(V_{com} + V_{in}/2)} \\
 I_N(V_{in}) &= \frac{1}{a - b(V_{com} - V_{in}/2)}
 \end{aligned} \right\} \dots (15)$$

50

ここで、 $a$  は任意の定数であり、 $b$  は、以下の式 ( 16 ) を満足する定数である。

【 0 0 6 6 】

【 数 1 5 】

$$b = \frac{2G}{CV_{DD}} \quad \dots(16)$$

10

ここで、 $G$  は、電圧・時間変換器 1 A ' の利得である。

【 0 0 6 7 】

図 8 に示すように、電圧・時間変換器 1 A ' における V I 変換器 2 5 の伝達関数 ( 実線 ) と理想的な伝達関数 ( 点線 ) とを比較する。V I 変換器 2 5 は、M O S トランジスタ M N 1 , M N 2 , M N 3 で構成されるため、V I 変換器 2 5 における差動電圧  $V_{i n}$  と電流 (  $I_P$  ,  $I_N$  ) との間の理想的な伝達関数は、差動電圧  $V_{i n}$  の 2 次関数 ( 上記式 ( 2 ) 参照 ) となる。電流 (  $I_P$  ,  $I_N$  ) と差動電圧  $V_{i n}$  との間の伝達関数が、点線で示す理想的なものであれば、差動電圧  $V_{i n}$  と時間出力  $t_{o u t}$  との関係は線形となる。しかしながら、電圧・時間変換器 1 A ' における V I 変換器 2 5 の伝達関数は、直線状となるため、理想的な伝達関数とはほど遠いものとなる。これが、電圧・時間変換器 1 A ' の非線形性の原因となる。

20

【 0 0 6 8 】

そこで、本実施の形態に係る電圧・時間変換器 1 D は、図 9 に示すように、2 本の直線で理想の伝達関数に折れ線近似された伝達関数に従って動作する。これにより、図 7 に示す電圧・時間変換器 1 A ' よりも線形性を改善することができる。

【 0 0 6 9 】

図 1 0 に示すように、電圧・時間変換器 1 D は、変換回路 2 1 と、補正回路 3 1 と、を備える。

30

【 0 0 7 0 】

変換回路 2 1 は、一对の抵抗  $R_{I 1}$  ,  $R_{I 2}$  を備える点が、上記各実施の形態に係る変換回路 2 0 ( 例えば図 1 参照 ) と異なる。抵抗  $R_{I 1}$  は、M O S トランジスタ M N 1 と M O S トランジスタ M N 3 との間に挿入され、抵抗  $R_{I 2}$  は、M O S トランジスタ M N 2 と M O S トランジスタ M N 3 との間に挿入されている。変換回路 2 1 は、差動電圧信号 (  $V_{i n p}$  ,  $V_{i n n}$  ) を一对の電流 (  $I_{P 1}$  ,  $I_{N 1}$  ) に変換し、変換された一对の電流 (  $I_{P 1}$  ,  $I_{N 1}$  ) に対応する電圧が、インバータ 4 P , 4 N へ入力される。インバータ 4 P , 4 N の出力電圧の変化は、時間出力  $t_{o u t}$  に変換される。ここで、一对の電流 (  $I_{P 1}$  ,  $I_{N 1}$  ) を、第 1 の電流組とする。

【 0 0 7 1 】

差動電圧  $V_{i n}$  に対する第 1 の電流  $I_{P 1}$  の伝達関数は、図 1 1 に示すように、差動電圧  $V_{i n}$  に比例して増加する直線となる。この増加直線の傾きは、抵抗  $R_{I 1}$  ,  $R_{I 2}$  の値で調整することができる。このことは、第 1 の電流  $I_{N 1}$  も同様である。このように、変換回路 2 1 は、第 1 の M O S 差動回路に一对の抵抗  $R_{I 1}$  ,  $R_{I 2}$  を挿入することにより、差動電圧信号 (  $V_{i n p}$  ,  $V_{i n n}$  ) に比例して増加する第 1 の電流組 (  $I_{P 1}$  ,  $I_{N 1}$  ) を一对の電流として出力する。

40

【 0 0 7 2 】

補正回路 3 1 は、第 1 の電流組 (  $I_{P 1}$  ,  $I_{N 1}$  ) に、補正電流としての第 2 の電流組 (  $I_{P 2}$  ,  $I_{N 2}$  ) 及び第 3 の電流組 (  $I_{P 3}$  ,  $I_{N 3}$  ) を加える。

【 0 0 7 3 】

50

図10に示すように、補正回路31は、第3のMOS差動回路としてのMOS差動回路31Aと、第4のMOS差動回路としてのMOS差動回路31Bと、を備える。

【0074】

MOS差動回路31Aは、MOSトランジスタMNI4, MNI5, MNI6及び抵抗RI3、RI4を備える。MOSトランジスタMNI4とMOSトランジスタMNI6との間に抵抗RI3が挿入され、MOSトランジスタMNI5とMOSトランジスタMNI6との間に抵抗RI4が挿入されている。MOSトランジスタMNI4は、ノードDPとMOSトランジスタMNI6との間に挿入され、差分電圧信号( $V_{inp}$ ,  $V_{inn}$ )の正側電圧信号 $V_{inp}$ をゲート電圧として入力する。また、MOSトランジスタMNI5は、ノードDNとMOSトランジスタMNI6との間に挿入され、差分電圧信号( $V_{inp}$ ,  $V_{inn}$ )の負側電圧信号 $V_{inn}$ をゲート電圧として入力する。MOSトランジスタMNI6は、クロック信号CKを入力し、MOSトランジスタMNI4, MNI5と電圧 $V_{s1}$ が印加される端子との間に挿入される。

10

【0075】

MOS差動回路31Aは、第2の電流組( $I_{p2}$ ,  $I_{n2}$ )を出力する。差動電圧 $V_{in}$ に対する第2の電流 $I_{p2}$ の伝達関数は、図11に示すように、差動電圧 $V_{in}$ に比例して増加する直線となる。この増加直線の傾きは抵抗RI3, RI4の値で調整することができる。第2の電流 $I_{p2}$ は、 $V_{in} < V_{s1} + V_{TH}$ の範囲では流れない。 $V_{s1}$ は、MOSトランジスタMNI6のオフセット電圧であり、電圧 $V_{TH}$ は、MOSトランジスタMNI4, MNI5のしきい値電圧である。第2の電流 $I_{p2}$ が流れ出す差動電圧 $V_{in}$ は、電圧 $V_{s1}$ の値により調整できる。このことは、第2の電流 $I_{n2}$ も同様である。このように、MOS差動回路31Aは、差動電圧信号( $V_{inp}$ ,  $V_{inn}$ )をゲート電圧として入力し、一对の抵抗RI3, RI4が挿入され、差動電圧信号( $V_{inp}$ ,  $V_{inn}$ )に比例して増加する第2の電流組( $I_{p2}$ ,  $I_{n2}$ )を補正電流として出力する。

20

【0076】

また、図10に示すように、MOS差動回路31Bは、MOSトランジスタMNI7, MNI8, MNI9を備える。MOSトランジスタMNI7は、ノードDPとMOSトランジスタMNI9との間に挿入され、MOSトランジスタMNI8は、ノードDNとMOSトランジスタMNI9との間に挿入される。MOSトランジスタMNI9は、クロック信号CKを入力し、MOSトランジスタMNI7, MNI8とグラウンドとの間に挿入される。MOSトランジスタMNI7, MNI8に輸入されるゲート電圧は、一定の電圧( $V_{pc}$ ,  $V_{nc}$ )である。

30

【0077】

MOS差動回路31Bは、第3の電流組( $I_{p3}$ ,  $I_{n3}$ )を出力する。MOSトランジスタMNI7, MNI8のゲート電圧として一定の電圧( $V_{pc}$ ,  $V_{nc}$ )が印加されるため、差動電圧 $V_{in}$ に対する第3の電流 $I_{p3}$ の伝達関数は、図11に示すように、差動電圧 $V_{in}$ によらず一定となる。第3の電流 $I_{p3}$ の大きさは、ゲート電圧( $V_{pc}$ ,  $V_{nc}$ )の値で調整することができる。このことは、第3の電流 $I_{n3}$ も同様である。MOS差動回路31Bは、一定の電圧( $V_{pc}$ ,  $V_{nc}$ )をゲート電圧として入力し、一定の電組組( $I_{p3}$ ,  $I_{n3}$ )を補正電流として出力する。

40

【0078】

これら第1の電流 $I_{p1}$ 、第2の電流 $I_{p2}$ 、第3の電流 $I_{p3}$ はノードDPで加算されて、電流 $I_p$ となる。また、第1の電流 $I_{n1}$ 、第2の電流 $I_{n2}$ 、第3の電流 $I_{n3}$ は、加算されて電流 $I_n$ となる。したがって、インバータ4P, 4Nに輸入される一对の電流( $I_p$ ,  $I_n$ )の伝達関数は、図11に示すようになり、理想的な伝達関数に折れ線近似されたものとなる。この結果、差動電圧 $V_{in}$ に対する時間出力 $t_{out}$ の線形性が向上する。

【0079】

実施の形態5.

次に、本発明の実施の形態5について説明する。

50

## 【0080】

図12に示すように、本実施の形態に係る電圧・時間変換器1Eは、変換回路21と、補正回路32と、を備える。すなわち、電圧・時間変換器1Eは、補正回路31の代わりに補正回路32を備える点が、電圧・時間変換器1Dと異なる。

## 【0081】

変換回路21は、差動電圧信号( $V_{inp}$ ,  $V_{inn}$ )を一对の電流( $I_{p1}$ ,  $I_{n1}$ )に変換する。この( $I_{p1}$ ,  $I_{n1}$ )を、第1の電流組とする。

## 【0082】

図12に示すように、補正回路32は、第3のMOS差動回路としてのMOS差動回路31Aと、第4のMOS差動回路としてのMOS差動回路31Bと、を備える点は補正回路31と同じである。補正回路32は、第3のMOS差動回路としてのMOS差動回路31Cをさらに備える。

10

## 【0083】

MOS差動回路31Cは、MOSトランジスタMNI10, MNI11, MNI12及び抵抗RI5, RI6を備える。MOSトランジスタMNI10とMOSトランジスタMNI11との間に抵抗RI5が挿入され、MOSトランジスタMNI11とMOSトランジスタMNI12との間に抵抗RI6が挿入されている。MOSトランジスタMNI10は、ノードDPとMOSトランジスタMNI12との間に挿入され、差分電圧信号( $V_{inp}$ ,  $V_{inn}$ )の正側電圧信号 $V_{inp}$ をゲート電圧として入力する。また、MOSトランジスタMNI11は、ノードDNとMOSトランジスタMNI12との間に挿入され、差分電圧信号( $V_{inp}$ ,  $V_{inn}$ )の負側電圧信号 $V_{inn}$ をゲート電圧として入力する。MOSトランジスタMNI12は、クロック信号CKを入力し、MOSトランジスタMNI10, MNI11と電圧 $V_{s2}$ が印加される端子との間に挿入される。

20

## 【0084】

MOS差動回路31Cは、第4の電流組( $I_{p4}$ ,  $I_{n4}$ )を出力する。差動電圧 $V_{in}$ に対する第4の電流 $I_{p4}$ の伝達関数は、図13に示すように、差動電圧 $V_{in}$ に比例して増加する直線となる。この増加直線の傾きは抵抗RI5, RI6の値で調整することができる。第4の電流 $I_{p4}$ は、 $V_{in} < V_{s2} + V_{TH}$ の範囲では流れない。 $V_{TH}$ は、MOSトランジスタMNI10, MNI11のしきい値電圧である。第4の電流 $I_{p4}$ が流れ出す電圧は、電圧 $V_{s2}$ の値により調整できる。このことは、第4の電流 $I_{n4}$ も同様である。すなわち、MOS差動回路31Cは、差動電圧信号( $V_{inp}$ ,  $V_{inn}$ )をゲート電圧として入力し、一对の抵抗RI3, RI4が挿入され、差動電圧信号( $V_{inp}$ ,  $V_{inn}$ )に比例して増加する第4の電流組( $I_{p4}$ ,  $I_{n4}$ )を補正電流として出力する。

30

## 【0085】

これら第1の電流 $I_{p1}$ 、第2の電流 $I_{p2}$ 、第3の電流 $I_{p3}$ 、第4の電流 $I_{p4}$ はノードDPで加算されて、電流 $I_p$ となる。また、第1の電流 $I_{n1}$ 、第2の電流 $I_{n2}$ 、第3の電流 $I_{n3}$ 、第4の電流 $I_{n4}$ はノードDNで加算されて電流 $I_n$ となる。したがって、インバータ4P, 4Nに入力される、差動電圧 $V_{in}$ に対する一对の電流( $I_p$ ,  $I_n$ )の伝達関数は、図13に示すようになり、理想的な伝達関数に折れ線近似される。この結果、差動電圧 $V_{in}$ に対する時間出力 $t_{out}$ の線形性が向上する。

40

## 【0086】

このように、本実施の形態では、図13に示すように、3本の直線で理想的な伝達関数に折れ線近似した。補正回路32の第3のMOS差動回路の数をさらに増やして、4本以上の直線で理想的な伝達関数に折れ線近似することも可能である。

## 【0087】

実施の形態6。

次に、本発明の実施の形態6について説明する。

## 【0088】

上記実施の形態1, 2, 3, 4, 5では、差動電圧信号から時間出力に線形変換する電

50



圧・時間変換器 1 A , 1 B , 1 C , 1 D , 1 E について説明した。これらの電圧・時間変換器 1 A , 1 B , 1 C , 1 D , 1 E によれば、差動電圧信号 ( $V_{i n p}$  ,  $V_{i n n}$ ) から時間出力  $t_{out}$  への線形性が向上し、変換精度を向上することができる。

【 0 0 8 9 】

電圧・時間変換器 1 A , 1 B , 1 C , 1 D , 1 E を用いてアナログ・デジタル変換器を構成するためには、電圧・時間変換器 1 A , 1 B , 1 C , 1 D , 1 E の後段に、時間出力をデジタルデータ信号に変換する並列型の時間・デジタル変換器を取り付ける必要がある。しかし、並列型の時間・デジタル変換器を使用すると、変換精度を上げると回路規模と変換時間が指数関数的に増加してしまい、消費電力が増加し、動作速度が低下するおそれがある。

10

【 0 0 9 0 】

そこで、本実施の形態では、変換精度を上げて消費電力の増加、動作速度の低下が起これない時間領域のアナログ・デジタル変換器について説明する。本実施の形態に係るアナログ・デジタル変換器では、サブレンジング方式が用いられる。サブレンジング方式は、アナログ・デジタル変換を、粗い変換と細かい変換の 2 回に分けて、必要な回路規模を縮小する。

【 0 0 9 1 】

図 1 4 に示すように、本実施の形態に係るアナログ・デジタル変換器 1 0 0 では、電圧・時間変換器 1 B と時間・デジタル変換器 1 0 とを組み合わせると上位 A D 変換器としてのアナログ・デジタル変換器 C A D C、下位 A D 変換器としてのアナログ・デジタル変換器 F A D C とを構成する。アナログ・デジタル変換器 1 0 0 は、このアナログ・デジタル変換器 C A D C、F A D C の他、残差発生回路 5 0 と、合成器としてのエンコーダ 6 0 と、を備える。

20

【 0 0 9 2 】

アナログ・デジタル変換器 C A D C は、入力した差動電圧信号 ( $V_{i n p}$  ,  $V_{i n n}$ ) を、 $n$  ( $n$  は自然数) ビットのデジタル信号のうちの上位  $m$  ( $m$  は  $n$  より少ない自然数) ビットの上位デジタルデータ信号  $D O U T < m - 1 : 0 >$  に変換する。

【 0 0 9 3 】

残差発生回路 5 0 は、差動電圧信号 ( $V_{i n p}$  ,  $V_{i n n}$ ) と、アナログ・デジタル変換器 C A D C から出力された上位デジタルデータ信号  $D O U T < m - 1 : 0 >$  とに基づいて、差動電圧信号 ( $V_{i n p}$  ,  $V_{i n n}$ ) の残差信号を発生させる。

30

【 0 0 9 4 】

アナログ・デジタル変換器 F A D C は、残差信号を入力し、残差信号を  $n$  ビットのデジタル信号のうちの下位  $n - m$  ビットの下位デジタルデータ信号  $D O U T < ( n - m ) - 1 : 0 >$  に変換する。

【 0 0 9 5 】

エンコーダ 6 0 は、上位デジタルデータ信号  $D O U T < m - 1 : 0 >$  と、下位デジタルデータ信号  $D O U T < ( n - m ) - 1 : 0 >$  とを合成して、 $n$  ビットのデジタル信号  $D O U T < n - 1 : 0 >$  として出力する。

【 0 0 9 6 】

アナログ・デジタル変換器 C A D C , F A D C では、電圧・時間変換器 1 B を用いているので、差動電圧信号 ( $V_{i n p}$  ,  $V_{i n n}$ ) から時間出力  $t_{out}$  への線形変換の線形性が改善されている。なお、本実施の形態では、電圧・時間変換器 1 B の代わりに、同じく線形性が改善された電圧・時間変換器 1 A , 1 C , 1 D , 1 E を用いるようにしてもよい。

40

【 0 0 9 7 】

図 1 5 には、時間・デジタル変換器 1 0 の回路構成の一例が示されている。時間・デジタル変換器 1 0 は、S T A R T 信号と S T O P 信号の立ち上がりエッジの時間差 (時間出力  $t_{out}$ ) を  $k$  ( $k$  は  $m$  または  $n - m$ ) ビットのデジタル信号に変換する。時間・デジタル変換器 1 0 は、遅延回路  $D 1 \sim D 2^k$  と、フリップフロップ  $F F 1 \sim F F 2^k$  と、エ

50

ンコーダ 11 とを備える。

【0098】

START 信号が立ち上がると、その立ち上がり信号が、遅延回路  $D_1 \sim D_{2^k}$  で遅延しながら伝搬されていく。その後、STOP 信号が立ち上がると、遅延回路  $D_1 \sim D_{2^k}$  の出力はそれぞれフリップフロップ  $FF_1 \sim FF_{2^k}$  によりラッチされる。フリップフロップ  $FF_1 \sim FF_{2^k}$  の出力を見ることで、STOP 信号が立ち上がった時刻に START 信号の立ち上がりは何段目の遅延回路まで伝搬したかをエンコーダ 11 が検出する。エンコーダ 11 は、入力したタイミング信号 (START 信号、STOP 信号) を、デジタル信号  $DOUT < k - 1 : 0 >$  に変換して出力する。この際の 1 LSB (時間分解能) は、1 つの遅延回路の遅延時間  $t_{pd}$  に等しくなる。

10

【0099】

図 16 には、時間・デジタル変換器 10 の回路構成の他の例が示されている。この時間・デジタル変換器 10 では、遅延回路  $D_1 \sim D_{2^k}$  間に補間回路  $IP_1 \sim IP_{2^{k-1}}$  が設けられている。補間回路  $IP_1 \sim IP_{2^{k-1}}$  には  $t_{pd}$  だけ時間がずれた 2 つの立ち上がり信号が入力される。補間回路  $IP_1 \sim IP_{2^{k-1}}$  は、2 つの信号の中間の時刻で立ち上がるパルス信号を出力する。これにより、 $t_{pd} / 2$  間隔で立ち上がるパルス列が得られる。このパルス列を STOP 信号の立ち上がりエッジでラッチすることにより、 $t_{pd} / 2$  の時間分解能で時間・デジタル変換を行うことができる。

【0100】

時間・デジタル変換器 10 では、時間分解能が高いほど、変換時間を短縮することができる。この図 16 に示す構成を採用することで、アナログ・デジタル変換器 100 の変換速度を向上することができる。また、図 16 では、補間を 1 度行う構成を示しているが、複数回補間を行うことで、さらに時間分解能を上げるようにしてもよい。

20

【0101】

差動電圧信号 ( $V_{inp}$ 、 $V_{inn}$ ) は、上位 AD 変換を行うアナログ・デジタル変換器 CAD C の電圧・時間変換器 1 B により時間出力  $t_{out}$  に変換され、その時間出力  $t_{out}$  を時間・デジタル変換器 10 によりデジタル変換し、上位  $m$  ビットの変換結果が得られる。

【0102】

図 17 には、アナログ・デジタル変換器 CAD C の出力が 2 ビット ( $m = 2$ ) の場合に対応する残差発生回路 50 の回路構成が示されている。図 17 に示すように、残差発生回路 50 は、コンデンサ  $C_0 \sim C_2$  と、スイッチ  $S_0 \sim S_3$  とを備える。コンデンサ  $C_0 \sim C_2$  の容量値は  $C_0 = C_1 = C$ 、 $C_2 = 2C$  に設定されている。VT は入力される電圧信号の上限電圧であり、VB は入力される電圧信号の下限電圧であり、アナログ信号である電圧信号の入力範囲を規定する。

30

【0103】

$V_{com}$  は、出力端子 O U T P、O U T N のコモンレベルを規定する電圧である。正側電圧信号  $V_{inp}$  を取り込むトラック期間では、スイッチ  $S_0 \sim S_2$  は、正側電圧信号  $V_{inp}$  が入力される入力端子 I N P に接続され、スイッチ  $S_3$  は、 $V_{com}$  が入力される端子に接続している。

40

【0104】

トラック期間が終了すると、スイッチ  $S_0 \sim S_4$  はオフとなり、トラック期間終了時の正側電圧信号  $V_{inp}$  がコンデンサ  $C_0 \sim C_2$  にサンプリングされる。

【0105】

その後、残差発生回路 50 は、アナログ・デジタル変換器 CAD C の変換結果  $DOUT [ 1 : 0 ]$  に応じてスイッチ  $S_0 \sim S_2$  を切り替える。すなわち、残差発生回路 50 は、 $DOUT [ 0 ]$  が 1 ならば、スイッチ  $S_1$  を VT へ接続し、0 ならば VB へ接続する。残差発生回路 50 は、スイッチ  $S_2$  も同様に、 $DOUT [ 1 ]$  が 1 ならば VT へ接続し、0 ならば VB へ接続する。このようにすると、コンデンサ  $C_0 \sim C_2$  に蓄えられていた電荷が再配分され、出力端子 O U T P には、残差電圧信号 ( $V_{inp}$ 、 $V_{inn}$ ) から並列型の

50

アナログ・デジタル変換器 C A D C の変換結果を差し引いた残差信号が出力端子 O U T P から出力される。なお、残差発生回路 5 0 は、入力端子 I N N、出力端子 O U T N が接続されるブロックの回路構成も、上述した回路構成と同じである。

【 0 1 0 6 】

この容量型の残差発生回路 5 0 は、コンデンサ C 0 ~ C 2 とスイッチ S 0 ~ S 4 のみで構成できるため、面積、消費電力が小さいという利点がある。

【 0 1 0 7 】

図 1 4 に戻り、アナログ・デジタル変換器 1 0 0 の全体の動作について説明する。アナログ・デジタル変換器 1 0 0 は、残差発生回路 5 0 により、アナログ・デジタル変換器 C A D C で得られる粗い変換結果（上位デジタル信号）を差動電圧信号（ $V_{i n p}$ 、 $V_{i n n}$ ）から差し引き、残差信号を発生する。この残差信号は、細かい変換を行うアナログ・デジタル変換器 F A D C は、残差信号を入力して、電圧・時間変換器 1 A、1 B により時間出力  $t_{o u t}$  に変換し、その時間出力  $t_{o u t}$  を時間・デジタル変換器 1 0 によりデジタル変換し、下位ビットの変換結果（下位デジタル信号）を得る。粗い変換結果と、細かい変換結果は、合成器としてのエンコーダ 6 0 で合成され、 $n$  ビットのデジタルデータ信号  $D O U T < n - 1 : 0 >$  として出力される。

10

【 0 1 0 8 】

また、仮に 8 ビットのアナログ・デジタル変換を、サブレンジング方式を使用しないで構成した場合には、8 ビットの並列型の時間・デジタル変換器が必要となる。この場合には、 $2^8$ （256）個の遅延回路と時間比較器が必要となる。一方で、本実施の形態のように、粗い変換 4 ビット、細かい変換 4 ビットのサブレンジング構成とすると、4 ビットの時間・デジタル変換器 1 0 が 2 組必要となり、遅延回路と時間比較器は 3 2 個で済む。このため、大幅な電力削減が可能となる。また、時間・デジタル変換器 1 0 の変換時間は、この遅延回路の数に比例するため、変換時間も大幅に短縮することができる。

20

【 0 1 0 9 】

入力される差動電圧信号（ $V_{i n p}$ 、 $V_{i n n}$ ）が大きい場合には、高線形な電圧・時間変換器 1 A、1 B は、高精度なデジタル信号  $D < n - 1 : 0 >$  を得るために特に有用である。

【 0 1 1 0 】

以上詳細に説明したように、本実施の形態によれば、差動電圧信号（ $V_{i n p}$ 、 $V_{i n n}$ ）を入力し、該差動電圧信号（ $V_{i n p}$ 、 $V_{i n n}$ ）を時間出力  $t_{o u t}$  に線形変換する場合に、時間出力  $t_{o u t}$  に含まれる差動電圧信号（ $V_{i n p}$ 、 $V_{i n n}$ ）の 3 次成分を除去することができるので、良好な線形性を得ることができる。

30

【 0 1 1 1 】

また、本実施の形態によれば、差動電圧信号（ $V_{i n p}$ 、 $V_{i n n}$ ）を入力し、該差動電圧信号（ $V_{i n p}$ 、 $V_{i n n}$ ）を時間出力  $t_{o u t}$  に線形変換する場合に、電圧と電流との間の伝達関数を理想の伝達関数に近づけることができるので、良好な線形性を得ることができる。すなわち、本実施の形態によれば、差動電圧信号を時間出力に変換する場合に、その線形性を保つために一对のパルス電圧信号に対応する一对の電流を補正するので、良好な線形性を得ることができる。

40

【 0 1 1 2 】

なお、電圧・時間変換器 1 A ~ 1 C の構成と、電圧・時間変換器 1 D ~ 1 E の構成とを組み合わせると電圧・時間変換器を構成するようにしてもよい。

【 0 1 1 3 】

このように、上記各実施の形態によれば、高線形な電圧・時間変換器 1 A、1 B、1 C、1 D、1 E を提供することができる。また、この電圧・時間変換器 1 A、1 B、1 C、1 D、1 E を用いてサブレンジング構成の時間領域のアナログ・デジタル変換器 C A D C、F A D C を構成することで、変換精度を上げて消費電力増加、動作速度低下が起こらないアナログ・デジタル変換器 1 0 0 を提供することができる。

【 0 1 1 4 】

50

この発明は、この発明の広義の精神と範囲を逸脱することなく、様々な実施の形態及び変形が可能とされるものである。また、上述した実施の形態は、この発明を説明するためのものであり、この発明の範囲を限定するものではない。すなわち、この発明の範囲は、実施の形態ではなく、特許請求の範囲によって示される。そして、特許請求の範囲内及びそれと同等の発明の意義の範囲内で施される様々な変形が、この発明の範囲内とみなされる。

【産業上の利用可能性】

【0115】

この発明は、アナログ・デジタル変換器等に適用することができる。

【符号の説明】

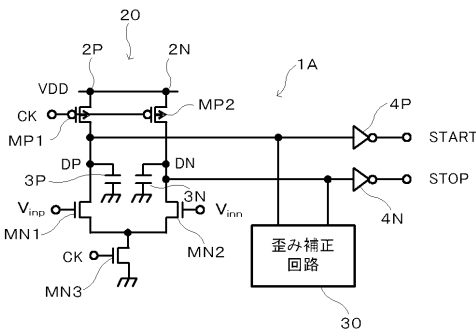
【0116】

1A, 1B, 1C, 1D, 1E, 1A' 電圧・時間変換器、2P, 2N 電源電圧端子、3P, 3N コンデンサ、4P, 4N インバータ、10 時間・デジタル変換器、11 エンコーダ、20, 21 変換回路、25 VI変換器、30 歪み補正回路、31, 32 補正回路、31A, 31B, 31C MOS差動回路、50 残差発生回路、60 エンコーダ、100 アナログ・デジタル変換器、DP, DN ノード、D1 ~ D2<sup>k</sup> 遅延回路、FF1 ~ FF2<sup>k</sup> フリップフロップ、MP1, MP2, MN1, MN2, MN3, MN1c, MN2c, MN4, MN3A, MN3B, MN4A, MN4B, MNI4, MNI5, MNI6, MNI7, MNI8, MNI9, MNI10, MNI11, MNI12 MOSTランジスタ、RI1, RI2, RI3, RI4, RI5, RI6 抵抗、IP1 ~ IP2<sup>k-1</sup> 補間回路

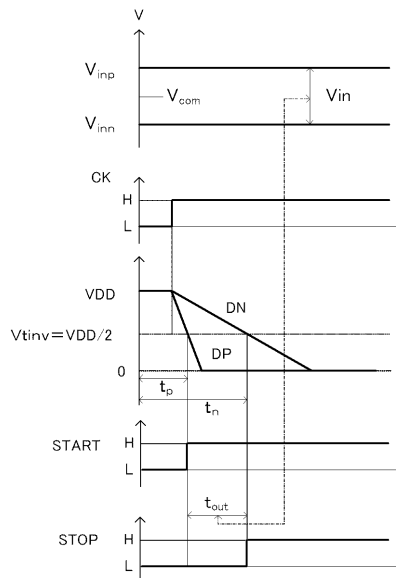
10

20

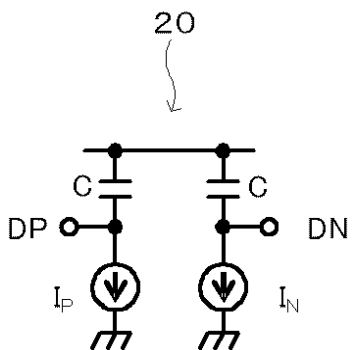
【図1】



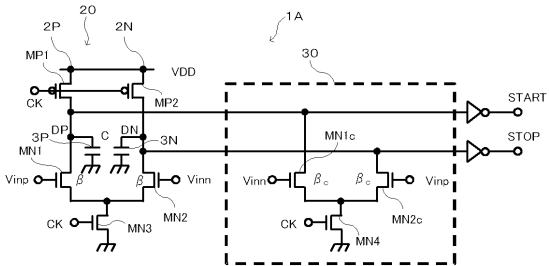
【図2】



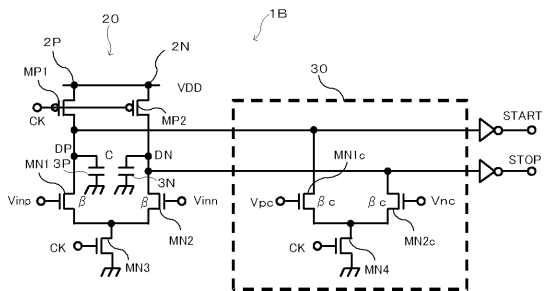
【 図 3 】



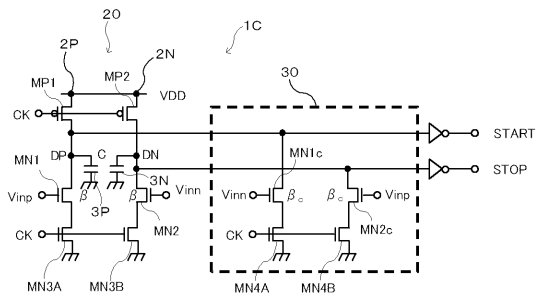
【 図 4 】



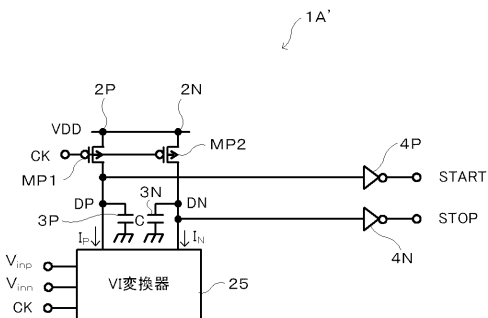
【 図 5 】



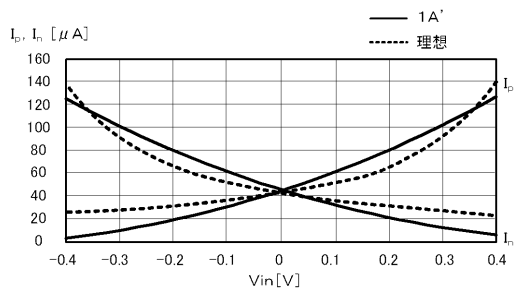
【 図 6 】



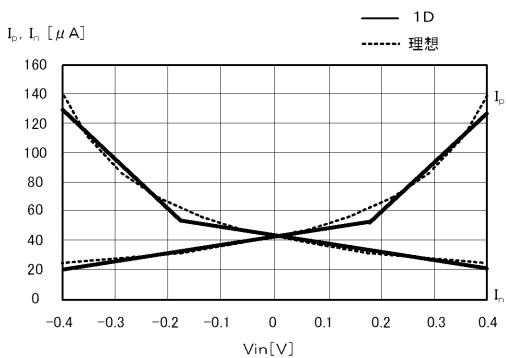
【 図 7 】



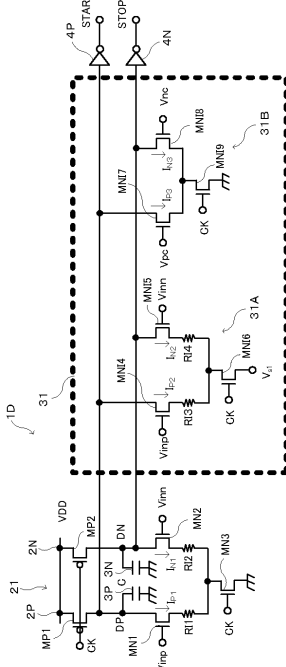
【 図 8 】



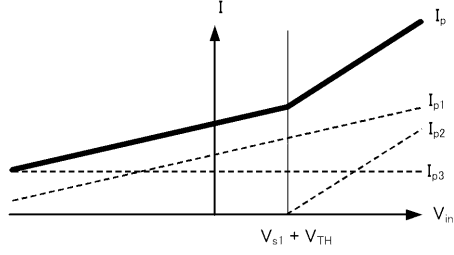
【 図 9 】



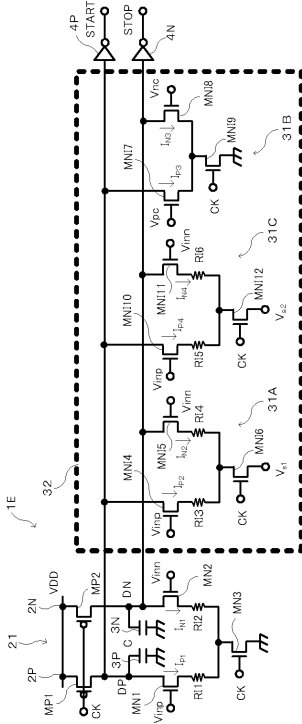
【図 10】



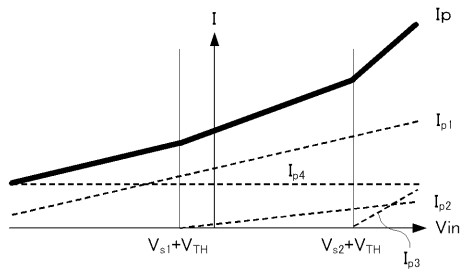
【図 11】



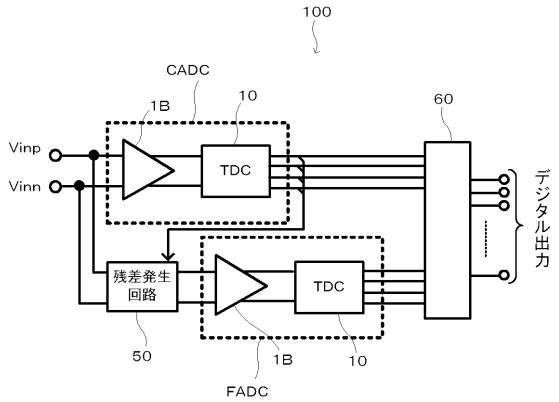
【図 12】



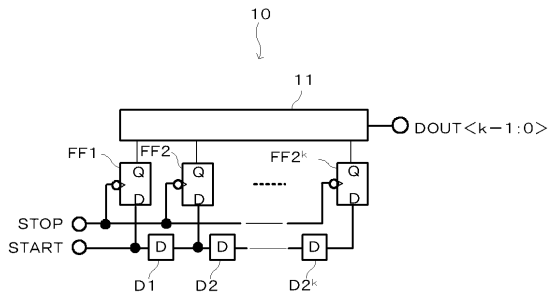
【図 13】



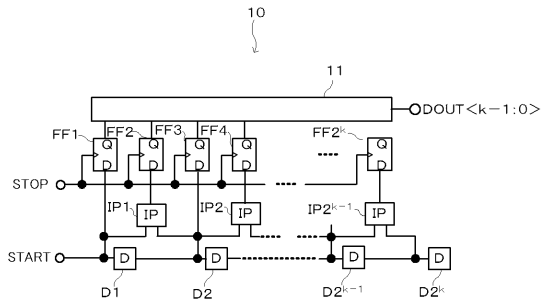
【図 14】



【 図 1 5 】



【 図 1 6 】



【 図 1 7 】

