

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02017/029984

発行日 平成30年5月31日 (2018.5.31)

(43) 国際公開日 平成29年2月23日 (2017.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03M 1/14 (2006.01)</b>	H03M 1/14 A	5J022
<b>H03M 1/36 (2006.01)</b>	H03M 1/36	
<b>H03M 1/44 (2006.01)</b>	H03M 1/44	

審査請求 未請求 予備審査請求 有 (全 31 頁)

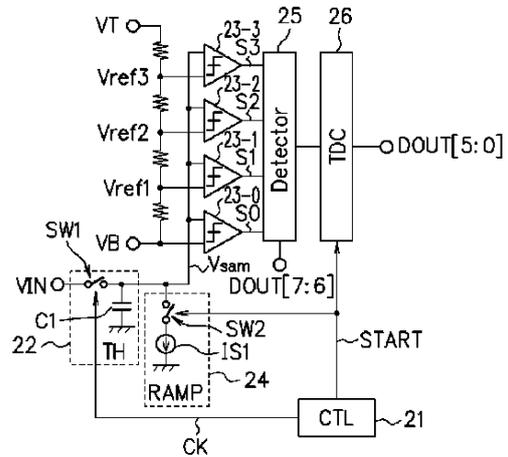
出願番号 特願2017-535324 (P2017-535324)	(71) 出願人 504258527 国立大学法人 鹿児島大学 鹿児島県鹿児島市郡元一丁目21番24号
(21) 国際出願番号 PCT/JP2016/072724	
(22) 国際出願日 平成28年8月3日 (2016.8.3)	
(31) 優先権主張番号 特願2015-162086 (P2015-162086)	(74) 代理人 100090273 弁理士 園分 孝悦
(32) 優先日 平成27年8月19日 (2015.8.19)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 大島 賢一 鹿児島県鹿児島市郡元一丁目21番24号 国立大学法人 鹿児島大学内
	Fターム(参考) 5J022 AA06 AA08 AA15 BA05 BA06 CA10 CB02 CD03 CE05 CF01 CF03

最終頁に続く

(54) 【発明の名称】 アナログデジタル変換器

(57) 【要約】

トラックアンドホールド回路(11)によりサンプリングされたアナログ入力信号の入力電位と互いに異なる参照電位とを複数の比較器により比較してデジタル信号の上位側の所定のビット数の値を決定する並列型AD変換器(12)と、トラックアンドホールド回路によりサンプリングされたアナログ入力信号の入力電位を一定の速度で低下させていき、並列型AD変換器で決定した値に対応する参照電位と等しくなるまでの時間をデジタル値に変換してデジタル信号の残りの下位側の値を決定するシングルスロープ型AD変換器(13)とを組み合わせるAD変換を行うようにして、シングルスロープ型AD変換器のビット数を低減し、小面積及び低消費電力で、かつ高速なAD変換を可能にする。



**【特許請求の範囲】****【請求項 1】**

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器を有し、前記複数の比較器の出力に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する並列型アナログデジタル変換器と、

サンプリングされた前記アナログ入力信号に応じた前記入力電位を一定の速度で低下させていき、前記並列型アナログデジタル変換器で決定した値に対応する前記参照電位と等しくなるまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定するシングルスロープ型アナログデジタル変換器とを有することを特徴とするアナログデジタル変換器。

10

**【請求項 2】**

前記シングルスロープ型アナログデジタル変換器は、前記アナログ入力信号に応じた前記入力電位を低下させ始めてから、前記並列型アナログデジタル変換器が有する前記複数の比較器の出力のうち何れか 1 つの出力が遷移するまでの時間を、前記参照電位と等しくなるまでの時間とすることを特徴とする請求項 1 記載のアナログデジタル変換器。

**【請求項 3】**

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位を一定の速度で低下させるランプ回路と、

前記入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器と、

前記ランプ回路によって前記入力電位を低下させているときに、前記複数の比較器の出力のうち最も早く遷移した出力を検出し、検出結果に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する検出回路と、

30

前記ランプ回路によって前記入力電位を低下させ始めてから、前記検出回路が前記最も早く遷移した出力を検出するまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定する時間 - デジタル変換器とを有することを特徴とするアナログデジタル変換器。

**【請求項 4】**

複数の前記参照電位のうち第 1 の参照電位が入力される前記比較器に、前記第 1 の参照電位とは異なる、前記複数の参照電位のうち第 2 の参照電位を、前記入力電位に変えて入力するためのスイッチと、

前記比較器に入力される前記第 2 の参照電位を前記ランプ回路によって一定の速度で低下させていったときの前記時間 - デジタル変換器の出力に基づいて、前記ランプ回路により電位を低下させる速度を調整する補正制御回路とを有することを特徴とする請求項 3 記載のアナログデジタル変換器。

40

**【請求項 5】**

前記検出回路は、

前記複数の比較器のうちの対応する前記比較器の出力が入力され、入力される前記比較器の出力が遷移したときに出力が遷移する複数の第 1 のフリップフロップと、

前記第 1 のフリップフロップの出力を用いて前記デジタル信号の上位側の値に係る論理演算を行う演算回路と、

前記複数の第 1 のフリップフロップの出力のうち何れか 1 つの出力が遷移したときに前記演算回路の出力を取り込んで保持する複数の第 2 のフリップフロップとを有すること

50

を特徴とする請求項 3 記載のアナログデジタル変換器。

【請求項 6】

複数の前記参照電位のうちの第 1 の参照電位が入力される前記比較器に、前記第 1 の参照電位とは異なる、前記複数の参照電位のうちの第 2 の参照電位を、前記入力電位に変えて入力するためのスイッチと、

前記比較器に入力される前記第 2 の参照電位を前記ランプ回路によって一定の速度で低下させていったときの前記時間 - デジタル変換器の出力に基づいて、前記ランプ回路により電位を低下させる速度を調整する補正制御回路とを有することを特徴とする請求項 5 記載のアナログデジタル変換器。

【請求項 7】

前記参照電位は、一定の電位差で高くなるように設定されていることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載のアナログデジタル変換器。

【請求項 8】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位及び互いに異なる第 1 の参照電位が入力され、前記入力電位と前記第 1 の参照電位とを比較する複数の第 1 の比較器と、

前記複数の第 1 の比較器の出力に基づいて前記デジタル信号の上位側の所定のビット数の値を決定するエンコーダと、

決定された前記デジタル信号の上位側の値に対応する電位を前記入力電位から減じた残差成分を発生させる残差発生回路と、

前記残差成分及び第 2 の参照電位が入力され、前記残差成分と前記第 2 の参照電位とを比較する第 2 の比較器と、

前記第 2 の比較器に入力される前記残差成分を一定の速度で低下させるランプ回路と、

前記ランプ回路によって前記残差成分を低下させ始めてから、前記第 2 の比較器の出力が遷移するまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定する時間 - デジタル変換器とを有することを特徴とするアナログデジタル変換器。

【請求項 9】

前記第 1 の比較器は、クロック信号に同期して入力を取り込み比較する離散時間比較器であり、

前記第 2 の比較器は、入力の比較を常時行う連続時間比較器であることを特徴とする請求項 8 記載のアナログデジタル変換器。

【請求項 10】

前記残差発生回路は、

前記エンコーダの出力をデジタルアナログ変換し、決定された前記デジタル信号の上位側の値に対応する電位を出力するデジタルアナログ変換器と、

前記入力電位から前記デジタルアナログ変換器が出力する電位を減算する減算器とを有することを特徴とする請求項 9 記載のアナログデジタル変換器。

【請求項 11】

前記残差発生回路は、

前記アナログ入力信号及び前記エンコーダの出力が入力され、前記アナログ入力信号に応じた入力電位から前記デジタル信号の上位側の値に対応する電位を減じた残差成分を出力する容量型デジタルアナログ変換器であることを特徴とする請求項 9 記載のアナログデジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログデジタル変換器（A/D変換器）に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

アナログ信号をデジタル信号に変換するアナログデジタル変換器（AD変換器）の1つにシングルスロープ型AD変換器がある（例えば、非特許文献1、2参照）。シングルスロープ型AD変換器は、小面積、低消費電力のAD変換器であるが、変換速度が遅いという欠点がある。このため、従来、シングルスロープ型AD変換器の用途は、イメージセンサ等に限られていた。

## 【0003】

図9Aは、シングルスロープ型AD変換器の構成例を示す図であり、図9Bは、シングルスロープ型AD変換器の動作原理を示す図である。図9Aに示すシングルスロープ型AD変換器は、トラックアンドホールド（track and hold：TH）回路91、比較器92、ランプ回路（RAMP）93、及び時間-デジタル変換器（time to digital converter：TDC）94を有する。

10

## 【0004】

トラックアンドホールド回路91は、クロック信号CKによってオン/オフ制御されアナログ入力信号VINを伝達するスイッチSW91と、スイッチSW91を介して伝達されたアナログ入力信号VINを保持する保持容量C91とを有する。比較器92は、入力電位 $V_{sam}$ と参照電位Vrefとを比較し、その比較結果に応じた信号S91を出力する。入力電位 $V_{sam}$ は、トラックアンドホールド回路91により入力及び保持されたアナログ入力信号VINに応じた電位であり、AD変換動作における比較期間にはランプ回路93によって一定の速度で低下していく。

20

## 【0005】

ランプ回路93は、スイッチSW92と、スイッチSW92を介して入力電位 $V_{sam}$ の入力ノードに接続される電流源IS91とを有する。ランプ回路93は、AD変換処理の比較動作時に、スイッチSW92がオンとなって電流源IS91が入力電位 $V_{sam}$ の入力ノードに接続され、入力電位 $V_{sam}$ を一定の速度で低下させる。時間-デジタル変換器94は、比較器92から出力される信号S91により示される時間差をデジタル値に変換し、デジタル信号DOU Tとして出力する。

## 【0006】

図9Aに示したシングルスロープ型AD変換器は、図9Bに一例を示すように、クロック信号CKがハイレベルである時刻T91～T92にて、入力されるアナログ入力信号VINをトラックアンドホールド回路91によりサンプリングする。トラックアンドホールド回路91でアナログ入力信号VINをサンプリングした後、時刻T93からAD変換処理の比較動作を開始し、サンプリングされたアナログ入力信号VINに応じた入力電位 $V_{sam}$ をランプ回路93で一定の速度で低下させる。

30

## 【0007】

AD変換処理の比較動作において、アナログ入力信号VINに応じた入力電位 $V_{sam}$ をランプ回路93により低下させ始めた時（比較動作の開始時）に比較器92から出力される信号S91は、入力電位 $V_{sam}$ が参照電位Vrefより高いのでハイレベルである（時刻T93）。その後、入力電位 $V_{sam}$ が低下していき、入力電位 $V_{sam}$ と参照電位Vrefが等しくなると、比較器92から出力される信号S91は、ローレベルとなる（時刻T94）。

40

## 【0008】

入力電位 $V_{sam}$ をランプ回路93により低下させ始めてから、入力電位 $V_{sam}$ と参照電位Vrefが等しくなるまで、すなわち比較器92から出力される信号S91がハイレベルである時刻T93～T94の時間 $t_{sam}$ を時間-デジタル変換器94でデジタル値に変換する。時間 $t_{sam}$ は、AD変換処理の比較動作の開始時においてトラックアンドホールド回路91に保持されているアナログ入力信号VINに応じた電位Vsに比例するため、時間-デジタル変換器94の出力はアナログ入力信号VINのAD変換結果となる。

## 【0009】

50

このようにして、時刻  $T_{91} \sim T_{92}$  においてサンプリングされたアナログ入力信号  $V_{IN}$  を A/D 変換して得られたデジタル値  $DOU T_2$  がデジタル信号  $DOU T$  として出力される。なお、デジタル値  $DOU T_1$  は、1 つ前にサンプリングされたアナログ入力信号  $V_{IN}$  の A/D 変換結果である。

【0010】

図 9 A に示したシングルスロープ型 A/D 変換器において、時間 - デジタル変換器 9 4 のビット数を  $n$  (出力値が  $0 \sim (2^n - 1)$ ) とし時間分解能を  $t$  とすると、時間  $t_{sam}$  の最大値  $t_{sam}(max)$  は  $2^n t$  と表せる。例えば、10 ビットのデジタル信号に変換するシングルスロープ型 A/D 変換器を作ると、時間分解能  $t$  が  $100 \text{ ps}$  である場合、時間  $t_{sam}(max)$  は  $102.4 \text{ ns}$  となる。A/D 変換器における入力信号のサンプリング周期  $T_s$  は、トラック期間  $t_{tr}$  と時間  $t_{sam}(max)$  とを合わせた時間に略等しいので、A/D 変換器のサンプリング周波数は  $10 \text{ MHz}$  以下になってしまう。

10

【0011】

このように、シングルスロープ型 A/D 変換器は、構成部品が少なく回路面積や消費電力が小さいものの、変換時間が精度 (ビット数) に対して指数関数的に増加するために高速化することが困難であった。

【先行技術文献】

【非特許文献】

【0012】

【非特許文献 1】Rudy van de Plassche, CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers, 2003

20

【非特許文献 2】Dongmyung Lee et al., "Low-Noise In-Pixel Comparing Active Pixel Sensor Using Column-Level Single-Slope ADC", IEEE Transactions on Electron Devices, vol.55, no.12, pp.3383-3388, Dec. 2008

【発明の概要】

【発明が解決しようとする課題】

【0013】

本発明の目的は、小面積及び低消費電力で、かつ高速に A/D 変換を行うことが可能な A/D 変換器を提供することにある。

【課題を解決するための手段】

30

【0014】

本発明に係るアナログデジタル変換器は、入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、サンプリングされた前記アナログ入力信号に応じた入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器を有し、前記複数の比較器の出力に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する並列型アナログデジタル変換器と、サンプリングされた前記アナログ入力信号に応じた前記入力電位を一定の速度で低下させていき、前記並列型アナログデジタル変換器で決定した値に対応する前記参照電位と等しくなるまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定するシングルスロープ型アナログデジタル変換器とを有することを特徴とする。

40

【発明の効果】

【0015】

本発明によれば、並列型アナログデジタル変換器とシングルスロープ型アナログデジタル変換器とを組み合わせ、デジタル信号の上位側の変換を並列型アナログデジタル変換器で行い、下位側の変換をシングルスロープ型アナログデジタル変換器で行う。これによりシングルスロープ型アナログデジタル変換器のビット数を減らすことができ、小面積及び低消費電力で、かつ高速にアナログデジタル変換を行うことが可能なアナログデジタル変換器を提供することが可能となる。

【図面の簡単な説明】

50

【 0 0 1 6 】

【 図 1 A 】 図 1 A は、本発明の実施形態におけるアナログデジタル変換器を模式的に示す図である。

【 図 1 B 】 図 1 B は、図 1 A に示すアナログデジタル変換器の動作を説明する図である。

【 図 2 A 】 図 2 A は、第 1 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【 図 2 B 】 図 2 B は、第 1 の実施形態における比較器の動作を説明する図である。

【 図 3 】 図 3 は、第 1 の実施形態における比較器の構成例を示す図である。

【 図 4 A 】 図 4 A は、第 1 の実施形態における検出回路の構成例を示す図である。

【 図 4 B 】 図 4 B は、第 1 の実施形態における検出回路の動作例を示すタイミングチャートである。

10

【 図 5 】 図 5 は、第 1 の実施形態における時間 - デジタル変換器の構成例を示す図である。

【 図 6 A 】 図 6 A は、第 1 の実施形態における時間 - デジタル変換器の他の構成例を示す図である。

【 図 6 B 】 図 6 B は、図 6 A に示す時間 - デジタル変換器における時間分解能を説明する図である。

【 図 7 A 】 図 7 A は、アナログ入力信号に対するデジタル信号の一例を示す図である。

【 図 7 B 】 図 7 B は、第 1 の実施形態におけるアナログデジタル変換器での誤差補正の例を説明する図である。

20

【 図 7 C 】 図 7 C は、誤差補正に係る電流量調整を説明する図である。

【 図 8 】 図 8 は、第 1 の実施形態におけるアナログデジタル変換器の動作例を示すタイミングチャートである。

【 図 9 A 】 図 9 A は、シングルスロープ型アナログデジタル変換器の構成例を示す図である。

【 図 9 B 】 図 9 B は、シングルスロープ型アナログデジタル変換器の動作を説明する図である。

【 図 1 0 】 図 1 0 は、第 2 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【 図 1 1 】 図 1 1 は、第 2 の実施形態における離散時間比較器の構成例を示す図である。

30

【 図 1 2 】 図 1 2 は、第 2 の実施形態におけるアナログデジタル変換器の他の構成例を示す図である。

【 図 1 3 】 図 1 3 は、第 2 の実施形態における容量型 D A 変換器の構成例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 7 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 1 8 】

( 第 1 の実施形態 )

本発明の第 1 の実施形態について説明する。

40

図 1 A は、本発明の一実施形態におけるアナログデジタル変換器 ( A D 変換器 ) を示す模式図である。本実施形態における A D 変換器は、図 1 A に示すようにトラックアンドホールド回路 1 1 及び A D 変換器 1 2 、 1 3 を有し、入力されたアナログ入力信号 V I N を n ビット ( n は自然数 ) のデジタル信号 D O U T [ n - 1 : 0 ] に変換して出力する。

【 0 0 1 9 】

トラックアンドホールド ( track and hold : T H ) 回路 1 1 は、クロック信号 C K によって制御され、入力されるアナログ入力信号 V I N をサンプリングして A D 変換器 1 2 、 1 3 に供給する。例えば図 1 B に示すように、トラックアンドホールド回路 1 1 は、クロック信号 C K がハイレベルのときにトラックモードとなり、アナログ入力信号 V I N を伝達して出力する。また、トラックアンドホールド回路 1 1 は、クロック信号 C K がローレ

50

ベルのときにホールドモードとなり、トラックモードにて伝達されたアナログ入力信号  $V_{IN}$  を保持する。

【0020】

A/D変換器(CADC)12は、 $(n-m)$ ビット( $m$ は $n$ より小さい自然数)の並列型A/D変換器である。A/D変換器(CADC)12は、デジタル信号 $DOUT[n-1:0]$ のうちの上位側の $(n-m)$ ビットについての $(n-m)$ ビットの値を決定するためのA/D変換処理を行う。A/D変換器(CADC)12は、図1Bに一例を示すように、サンプリングされたアナログ入力信号 $V_{IN}$ の電位 $V_{sam}$ が、一定の電位差を有するように設定された互いに異なる複数の参照電位における何れの参照電位間に存在するかを判定することにより、出力するデジタル信号 $DOUT[n-1:m]$ の値を決定する。

10

【0021】

A/D変換器(FADC)13は、 $m$ ビットのシングルスロープ型A/D変換器である。A/D変換器(FADC)13は、デジタル信号 $DOUT[n-1:0]$ のうちの下位側の $m$ ビットについての $m$ ビットの値を決定するためのA/D変換処理を行う。A/D変換器(FADC)13は、サンプリングされたアナログ入力信号 $V_{IN}$ の電位 $V_{sam}$ を一定の速度で低下させていき、電位 $V_{sam}$ より低い参照電位のうちで最大の参照電位と等しくなるまでの時間をデジタル値に変換することで、出力するデジタル信号 $DOUT[m-1:0]$ の値を決定する。これにより、A/D変換器(FADC)13は、図1Bに一例を示すように、A/D変換器(CADC)12でのA/D変換処理による残差成分、言い換えればサンプリングされたアナログ入力信号 $V_{IN}$ の電位 $V_{sam}$ とその電位 $V_{sam}$ より低い参照電位のうちで最大の参照電位との電位差(残差成分) $V_{res}$ をA/D変換処理して、出力するデジタル信号 $DOUT[m-1:0]$ の値を決定する。

20

【0022】

このように本実施形態では、 $(n-m)$ ビットの並列型A/D変換器と $m$ ビットのシングルスロープ型A/D変換器とを組み合わせることでA/D変換を行い、アナログ入力信号 $V_{IN}$ を $n$ ビットのデジタル信号 $DOUT[n-1:0]$ に変換する。アナログ入力信号 $V_{IN}$ からデジタル信号 $DOUT[n-1:0]$ への変換は、高速性に優れた並列型A/D変換器で粗い変換を行い、その残差成分をシングルスロープ型A/D変換器で変換を行う。

【0023】

このような構成とすることで、シングルスロープ型A/D変換器のビット数を減らしてシングルスロープ型A/D変換器での変換時間を低減することができ、小面積、低消費電力、かつ高速なA/D変換器を実現することができる。 $n$ ビットのA/D変換器を $(n-m)$ ビットの並列型A/D変換器と $m$ ビットのシングルスロープ型A/D変換器とを組み合わせることで、 $n$ ビットのシングルスロープ型A/D変換器だけで構成した場合と比較して、シングルスロープ型A/D変換器でのA/D変換処理の比較動作期間をおよそ $1/2^{n-m}$ に短縮することができる。

30

【0024】

図2Aは、第1の実施形態におけるA/D変換器の構成例を示す図である。図2Aには、入力されたアナログ入力信号 $V_{IN}$ を8ビットのデジタル信号 $DOUT[7:0]$ に変換するA/D変換器を一例として示している。本例においては、デジタル信号 $DOUT[7:0]$ のうちの上位側の2ビット $DOUT[7:6]$ についてのA/D変換処理を並列型A/D変換器で行い、下位側の6ビット $DOUT[5:0]$ についてのA/D変換処理をシングルスロープ型A/D変換器で行う。

40

【0025】

図2Aに例示する第1の実施形態におけるA/D変換器は、制御回路21、トラックアンドホールド回路22、比較器23-0、23-1、23-2、23-3、ランプ回路24、検出回路25、及び時間-デジタル変換器26を有する。並列型A/D変換器としての機能を、比較器23-0~23-3及び検出回路25等によって実現し、シングルスロープ型A/D変換器としての機能を、比較器23-0~23-3、ランプ回路24、検出回路25、及び時間-デジタル変換器26等によって実現する。

50

## 【 0 0 2 6 】

制御回路 2 1 は、アナログ入力信号  $V_{IN}$  からデジタル信号  $DOU T$  への  $A D$  変換処理を統括的に制御する。例えば、制御回路 2 1 は、トラックアンドホールド回路 2 2 の動作を制御するクロック信号  $C K$  や、ランプ回路 2 4 及び時間 - デジタル変換器 2 6 の動作を制御するスタート信号  $S T A R T$  を出力する。

## 【 0 0 2 7 】

トラックアンドホールド (track and hold :  $T H$ ) 回路 2 2 は、クロック信号  $C K$  によってオン / オフ制御されアナログ入力信号  $V_{IN}$  を伝達するスイッチ  $S W 1$  と、スイッチ  $S W 1$  を介して伝達されたアナログ入力信号  $V_{IN}$  を保持する保持容量  $C 1$  とを有する。トラックアンドホールド回路 2 2 は、クロック信号  $C K$  がハイレベルのときにスイッチ  $S W 1$  がオン (導通) しトラックモードとなり、クロック信号  $C K$  がローレベルのときにスイッチ  $S W 1$  がオフ (非導通) になりホールドモードとなる。トラックモードにおいては、入力されたアナログ入力信号  $V_{IN}$  がスイッチ  $S W 1$  を介して出力端に伝達され、ホールドモードにおいては、トラックモードにて伝達されたアナログ入力信号  $V_{IN}$  が保持される。

10

## 【 0 0 2 8 】

比較器 2 3 - 0 は、入力電位  $V_{s_{am}}$  及び参照電位  $V B$  が入力される。比較器 2 3 - 0 は、入力電位  $V_{s_{am}}$  と参照電位  $V B$  とを比較し、その比較結果に応じた出力信号  $S 0$  を出力する。また、比較器 2 3 - 1 は、入力電位  $V_{s_{am}}$  及び参照電位  $V r e f 1$  が入力される。比較器 2 3 - 1 は、入力電位  $V_{s_{am}}$  と参照電位  $V r e f 1$  とを比較し、その比較結果に応じた出力信号  $S 1$  を出力する。

20

## 【 0 0 2 9 】

比較器 2 3 - 2 は、入力電位  $V_{s_{am}}$  及び参照電位  $V r e f 2$  が入力される。比較器 2 3 - 2 は、入力電位  $V_{s_{am}}$  と参照電位  $V r e f 2$  とを比較し、その比較結果に応じた出力信号  $S 2$  を出力する。また、比較器 2 3 - 3 は、入力電位  $V_{s_{am}}$  及び参照電位  $V r e f 3$  が入力される。比較器 2 3 - 3 は、入力電位  $V_{s_{am}}$  と参照電位  $V r e f 3$  とを比較し、その比較結果に応じた出力信号  $S 3$  を出力する。

## 【 0 0 3 0 】

ここで、入力電位  $V_{s_{am}}$  は、図 2 B に示すように、 $A D$  変換処理のサンプリング動作完了時 (トラックモードの終了時の時刻  $T 1 1$ ) に、トラックアンドホールド回路 2 2 により入力及び保持されたアナログ入力信号  $V_{IN}$  に応じた電位であり、 $A D$  変換処理の比較動作時 (時刻  $T 1 2$  以降) にランプ回路 2 4 によって一定の速度で電位が低下していく。また、参照電位  $V B$ 、 $V r e f 1$ 、 $V r e f 2$ 、 $V r e f 3$  は、例えば、低電位側の基準電圧  $V B$  と高電位側の基準電圧  $V T$  との間を、同じ抵抗値を有する複数の抵抗が直列に接続された抵抗ラダー回路で抵抗分圧することで生成され、電位  $V B$ 、 $V r e f 1$ 、 $V r e f 2$ 、 $V r e f 3$ 、 $V T$  の順に一定の電位差で電位が高くなる。

30

## 【 0 0 3 1 】

本実施形態における比較器 2 3 (2 3 - 0 ~ 2 3 - 3) の構成例を図 3 に示す。図 3 に示す比較器 2 3 は、差動対 (駆動部) 及びカレントミラー回路 (負荷部) を用いた比較器であり、 $N$  チャネル  $M O S$  (metal oxide semiconductor) トランジスタ  $M T 1 1$ 、 $M T 1 2$ 、 $M T 1 6$ 、 $M T 1 7$ 、及び  $P$  チャネル  $M O S$  トランジスタ  $M T 1 3$ 、 $M T 1 4$ 、 $M T 1 5$  を有する。

40

## 【 0 0 3 2 】

トランジスタ  $M T 1 1$  は、ゲートに入力信号  $I N P$  が供給され、ソースがトランジスタ  $M T 1 6$  のドレインに接続され、ドレインがトランジスタ  $M T 1 3$  のドレインに接続される。トランジスタ  $M T 1 2$  は、ゲートに入力信号  $I N N$  が供給され、ソースがトランジスタ  $M T 1 6$  のドレインに接続され、ドレインがトランジスタ  $M T 1 4$  のドレインに接続される。本実施形態における比較器 2 3 では、入力電位  $V_{s_{am}}$  が入力信号  $I N P$  として入力され、参照電位が入力信号  $I N N$  として入力される。

## 【 0 0 3 3 】

50

トランジスタMT13及びMT14のソースに電源電圧が供給される。トランジスタMT13のゲートとトランジスタMT14のゲートとが接続され、その接続点がトランジスタMT14のドレインに接続される。すなわち、トランジスタMT13及びMT14は、カレントミラー接続されている。

【0034】

トランジスタMT15は、ゲートがトランジスタMT11のドレインとトランジスタMT13のドレインとの接続点に接続され、ソースに電源電圧が供給され、ドレインがトランジスタMT17のドレインに接続される。トランジスタMT15のドレインとトランジスタMT17のドレインとの接続点の電位が出力信号OUTとして出力される。トランジスタMT16及びMT17は、ソースが基準電圧に接続され、ゲートに所定の電圧のバイアス信号BIASが供給されており、電流源として機能する。

10

【0035】

図3に示した構成によれば、入力信号INPの電位が入力信号INNの電位より高い（入力電位 $V_{sam}$ が参照電位より高い）場合、差動対の入力信号INP側に多くの電流が流れることによりトランジスタMT15がオンして、出力信号OUTはハイレベルになる。一方、入力信号INPの電位が入力信号INNの電位より低い（入力電位 $V_{sam}$ が参照電位より低い）場合、差動対の入力信号INN側に多くの電流が流れることによりトランジスタMT15がオフして、出力信号OUTはローレベルになる。

【0036】

したがって、図2Aに示した比較器23-0～23-3の各々は、図2Bに示すように、入力電位 $V_{sam}$ と入力される参照電位とを比較した結果、入力電位 $V_{sam}$ が参照電位より高いときには出力信号S0～S3をハイレベル（電源電圧VDD）とする。一方、入力電位 $V_{sam}$ が参照電位以下のときには出力信号S0～S3をローレベル（基準電圧VSS）とする。

20

【0037】

ランプ回路（RAMP）24は、スタート信号STARTによってオン/オフ制御されるスイッチSW2と、スイッチSW2を介して入力電位 $V_{sam}$ の入力ノードに接続される電流源IS1とを有する。ここで、スタート信号STARTは、AD変換処理の比較動作時（図2Bに示す時刻T12以降）にハイレベルとされる。ランプ回路24は、スタート信号STARTがハイレベルのときにスイッチSW2がオンとなって電流源IS1が入力電位 $V_{sam}$ の入力ノードに接続され、入力電位 $V_{sam}$ を一定の速度で低下させる。

30

【0038】

検出回路25は、比較器23-0～23-3の出力信号S0～S3のうち、どの出力信号がAD変換処理において最も早くハイレベルからローレベルに遷移したかを検出する。検出回路25は、AD変換処理において最も早くハイレベルからローレベルに遷移した出力信号の検出結果、すなわち出力信号S0～S3のうちの何れの出力信号が最も早く遷移したかに応じて、デジタル信号DOUT[7:0]のうちの上位側の2ビットDOUT[7:6]の値を決定する。

【0039】

例えば、図2Bに示すように、時刻T13において入力電位 $V_{sam}$ と参照電位Vref2との高低関係が逆転し、比較器23-2の出力信号S2が最も早くハイレベルからローレベルに遷移したとする。この場合、サンプリングされたアナログ入力信号VINの電位が参照電位Vref2と参照電位Vref3との間にあったことになるので、検出回路25は、デジタル信号DOUT[7:6]の値を“10”と決定する。また、検出回路25は、出力信号S0～S3の何れかがハイレベルからローレベルに遷移すると、ストップ信号STOPをローレベルにする。なお、ストップ信号STOPは、負論理の信号であり、AD変換処理の比較動作を開始する前にハイレベルにリセットされている。

40

【0040】

図4Aは、本実施形態における検出回路25の構成例を示す図である。本実施形態における検出回路25は、例えば図4Aに示すようにフリップフロップ（リセット付き）41

50

- 0、41 - 1、41 - 2、41 - 3、NOR回路（論理和演算回路）42、43、44、及びフリップフロップ45、46を有する。

【0041】

フリップフロップ41 - 0 ~ 41 - 3の各々は、データ入力端子（D）に電源電圧が供給され、リセット信号入力端子（R）にリセット信号RESETが入力される。フリップフロップ41 - 0のクロック信号入力端子（CK）には比較器23 - 0の出力信号S0が入力され、フリップフロップ41 - 1のクロック信号入力端子（CK）には比較器23 - 1の出力信号S1が入力される。また、フリップフロップ41 - 2のクロック信号入力端子（CK）には比較器23 - 2の出力信号S2が入力され、フリップフロップ41 - 3のクロック信号入力端子（CK）には比較器23 - 3の出力信号S3が入力される。

10

【0042】

NOR回路42は、フリップフロップ41 - 0 ~ 41 - 3の出力端子（Q）からの出力が入力され、その演算結果をストップ信号STOPとして出力する。NOR回路43は、フリップフロップ41 - 0及び41 - 1の出力端子（Q）からの出力が入力され、その演算結果を出力する。NOR回路44は、フリップフロップ41 - 0及び41 - 2の出力端子（Q）からの出力が入力され、その演算結果を出力する。

【0043】

フリップフロップ45は、データ入力端子（D）にNOR回路43の出力が入力され、クロック信号入力端子（CK）にNOR回路42の出力が入力される。フリップフロップ46は、データ入力端子（D）にNOR回路44の出力が入力され、クロック信号入力端子（CK）にNOR回路42の出力が入力される。フリップフロップ45の出力端子（Q）からの出力がデジタル信号DOU T [ 7 ]として出力され、フリップフロップ46の出力端子（Q）からの出力がデジタル信号DOU T [ 6 ]として出力される。

20

【0044】

図4Aに示した検出回路25において、フリップフロップ41 - 0 ~ 41 - 3の出力は、AD変換処理の比較動作を開始する前にリセット信号RESETによってリセットされており、AD変換処理の比較動作の開始時にはローレベル（“0”）である。そして、AD変換処理の比較動作を開始した後、出力信号S0 ~ S3が立ち下がる、すなわちハイレベルからローレベルに遷移すると、その遷移した出力信号S0 ~ S3がクロック信号入力端子（CK）に入力されているフリップフロップ41 - 0 ~ 41 - 3の出力が、ローレベル（“0”）からハイレベル（“1”）になる。

30

【0045】

すべてのフリップフロップ41 - 0 ~ 41 - 3の出力がローレベル（“0”）である状態から、何れかのフリップフロップ41 - 0 ~ 41 - 3の出力がハイレベル（“1”）に変化すると、NOR回路42の出力（ストップ信号STOP）がハイレベルからローレベルになる。NOR回路42の出力がハイレベルからローレベルになることで、フリップフロップ45及び46は、NOR回路43及び44の出力を取り込んで保持し、デジタル信号DOU T [ 7 ]及びデジタル信号DOU T [ 6 ]として出力する。

【0046】

例えば、図4Bに示すように時刻T21にて、比較器23 - 2の出力信号S2が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ41 - 2の出力がローレベル（“0”）からハイレベル（“1”）になる。すなわち、フリップフロップ41 - 2の出力がハイレベル（“1”）であり、それ以外のフリップフロップ41 - 0、41 - 1、41 - 3の出力がローレベル（“0”）である。

40

【0047】

これにより、NOR回路42の出力がハイレベルからローレベルになる。また、NOR回路43の出力はハイレベル（“1”）であり、NOR回路44の出力はローレベル（“0”）である。NOR回路42の出力がハイレベルからローレベルになることで、フリップフロップ45が、NOR回路43の出力であるハイレベル（“1”）を取り込んで保持し、フリップフロップ46が、NOR回路44の出力であるローレベル（“0”）を取り

50

込んで保持する。

【 0 0 4 8 】

したがって、時刻  $T_{21}$  にて比較器 23 - 2 の出力信号  $S_2$  がハイレベルからローレベルに遷移することにより、ストップ信号  $STOP$  がハイレベルからローレベルになり、デジタル信号  $DOUT[7:6]$  として値 “ 1 0 ” が出力される。なお、出力信号  $S_2$  がハイレベルからローレベルに遷移した後に他の出力信号  $S_0$ 、 $S_1$ 、 $S_3$  がハイレベルからローレベルに遷移したとしても、他の出力信号  $S_0$ 、 $S_1$ 、 $S_3$  の遷移では NOR 回路 42 の出力は変化しないのでストップ信号  $STOP$  も変化しない。また、NOR 回路 42 の出力が変化しないので、フリップフロップ 45 及び 46 は保持している値を維持しデジタル信号  $DOUT[7:6]$  も変化することはない。

10

【 0 0 4 9 】

また、比較器 23 - 3 の出力信号  $S_3$  が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ 41 - 3 の出力だけがハイレベル (“ 1 ”) になるので、デジタル信号  $DOUT[7:6]$  として値 “ 1 1 ” が出力される。比較器 23 - 1 の出力信号  $S_1$  が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ 41 - 1 の出力だけがハイレベル (“ 1 ”) になるので、デジタル信号  $DOUT[7:6]$  として値 “ 0 1 ” が出力される。比較器 23 - 0 の出力信号  $S_0$  が最も早くハイレベルからローレベルに遷移した場合、フリップフロップ 41 - 0 の出力だけがハイレベル (“ 1 ”) になるので、デジタル信号  $DOUT[7:6]$  として値 “ 0 0 ” が出力される。

20

【 0 0 5 0 】

図 2 A に戻り、時間 - デジタル変換器 (time to digital converter : TDC) 26 は、スタート信号  $START$  がハイレベルに遷移してからストップ信号  $STOP$  がローレベルに遷移するまでの時間差を測定し、その時間差をデジタル値に変換することにより、デジタル信号  $DOUT[7:0]$  のうちの下位側の 6 ビット  $DOUT[5:0]$  の値を決定する。スタート信号  $START$  がハイレベルに遷移した時刻は、ランプ回路 24 により入力電位  $V_{sam}$  を一定の速度で低下させ始める時刻 (図 2 B に示した例での時刻  $T_{12}$ ) に対応する。ストップ信号  $STOP$  がローレベルに遷移した時刻は、比較器 23 - 0 ~ 23 - 3 の出力信号  $S_0 \sim S_3$  の何れか (最先の 1 つ) がハイレベルからローレベルに遷移した時刻 (図 2 B に示した例での時刻  $T_{13}$ ) に対応する。

30

【 0 0 5 1 】

すなわち、時間 - デジタル変換器 26 によって測定されるスタート信号  $START$  がハイレベルに遷移してからストップ信号  $STOP$  がローレベルに遷移するまでの時間差  $t_{res}$  は、サンプリングされたアナログ入力信号  $V_{IN}$  の入力電位  $V_{sam}$  とその入力電位  $V_{sam}$  より低い参照電位のうちで最大の参照電位との電位差 (残差成分)  $V_{res}$  を時間に変換したものに相当する。したがって、時間 - デジタル変換器 26 によって測定された時間差  $t_{res}$  をデジタル値に変換することにより、デジタル信号  $DOUT[5:0]$  の値が得られる。

【 0 0 5 2 】

図 5 は、本実施形態における時間 - デジタル変換器 26 の構成例を示す図である。図 5 に示す時間 - デジタル変換器 26 は、リング発振器 (リングオシレータ) 51、スイッチ  $SW_{51}$ 、及びカウンタ 52 を有する。

40

【 0 0 5 3 】

リング発振器 51 は、NAND (否定論理積演算) 回路 53 及び複数のインバータ 54 を有する。インバータ 54 は、偶数個配置されており、NAND 回路 53 と偶数個のインバータ 54 とが直列に接続されている。NAND 回路 53 にはスタート信号  $START$  及び前段 (又は最終段) に接続されたインバータ 54 の出力が入力され、NAND 回路 53 の出力が次段 (又は初段) に接続されたインバータ 54 に入力される。

【 0 0 5 4 】

スイッチ  $SW_{51}$  は、リング発振器 51 の出力とカウンタ 52 の入力との間に設けられ、ストップ信号  $STOP$  によってオン / オフ制御される。スイッチ  $SW_{51}$  は、ストップ

50

信号 S T O P がハイレベルのときにオン（導通）となり、ストップ信号 S T O P がローレベルのときにオフ（非導通）となる。カウンタ 5 2 は、スイッチ S W 5 1 を介して入力されるリング発振器 5 1 の出力をカウントし、カウント値をデジタル信号 D O U T [ 5 : 0 ] として出力する。

【 0 0 5 5 】

図 5 に示した時間 - デジタル変換器 2 6 は、スタート信号 S T A R T がローレベルからハイレベルに遷移すると、リング発振器 5 1 が発振信号を出力する。スタート信号 S T A R T がハイレベルに遷移する前（又は遷移すると同時に）、ストップ信号 S T O P はハイレベルとされているので、リング発振器 5 1 が出力する発振信号は、スイッチ S W 5 1 を介してカウンタ 5 2 に入力される。その後、ストップ信号 S T O P がハイレベルからローレベルに遷移すると、スイッチ S W 5 1 がオフして、リング発振器 5 1 からカウンタ 5 2 への発振信号の入力が遮断される。この間、カウンタ 5 2 は、リング発振器 5 1 の出力をカウントしており、カウント値をデジタル信号 D O U T [ 5 : 0 ] として出力する。

10

【 0 0 5 6 】

図 6 A は、本実施形態における時間 - デジタル変換器 2 6 の他の構成例を示す図である。図 5 に示した時間 - デジタル変換器 2 6 は、小面積かつ低消費電力な構成ではあるが、リング発振器 5 1 の出力（発振信号）の周期が時間分解能となり大きい。そこで、図 6 A に示す例では、リング発振器 5 1 の内部ノードの位相情報を用いることで、より小さい時間分解能で測定できるようにする。

【 0 0 5 7 】

図 6 A に示す時間 - デジタル変換器 2 6 は、リング発振器（リングオシレータ）5 1、カウンタ 5 2、フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k、第 1 のエンコーダ（E N C 1）5 6、及び第 2 のエンコーダ（E N C 2）5 7 を有する。リング発振器 5 1 は、N A N D 回路 5 3 及び偶数個のインバータ 5 4 を有し、それらが直列に接続されている。N A N D 回路 5 3 にはスタート信号 S T A R T 及び前段（又は最終段）に接続されたインバータ 5 4 の出力が入力され、N A N D 回路 5 3 の出力が次段（又は初段）に接続されたインバータ 5 4 に入力される。カウンタ 5 2 は、リング発振器 5 1 の出力をカウントし、カウント値を第 2 のエンコーダ 5 7 へ出力する。

20

【 0 0 5 8 】

フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k の各々は、データ入力端子（D）がリング発振器 5 1 の対応する内部ノード  $n_1$ 、 $n_2$ 、・・・、 $n_k$  に接続され、クロック信号入力端子（C K）にストップ信号 S T O P が入力される。第 1 のエンコーダ 5 6 は、フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k の出力端子（Q）からの出力が入力され、それらをエンコードしてエンコード結果を第 2 のエンコーダ 5 7 へ出力する。第 2 のエンコーダ 5 7 は、カウンタ 5 2 からのカウント値及び第 1 のエンコーダ 5 6 からのエンコード結果をエンコードしてデジタル信号 D O U T [ 5 : 0 ] に変換し出力する。

30

【 0 0 5 9 】

図 6 A に示した時間 - デジタル変換器 2 6 は、スタート信号 S T A R T がローレベルからハイレベルに遷移すると、リング発振器 5 1 が発振信号を出力する。リング発振器 5 1 が出力する発振信号は、カウンタ 5 2 に入力されてカウントされ、カウント値が第 2 のエンコーダ 5 7 へ出力される。

40

【 0 0 6 0 】

そして、ストップ信号 S T O P がハイレベルからローレベルに遷移すると、そのときの内部ノード  $n_1$ 、 $n_2$ 、・・・、 $n_k$  の状態（信号レベル）がフリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k に取り込まれて第 1 のエンコーダ 5 6 に出力される。第 1 のエンコーダ 5 6 は、フリップフロップ 5 5 - 1、5 5 - 2、・・・、5 5 - k の出力をエンコードしてエンコード結果を第 2 のエンコーダ 5 7 へ出力する。カウンタ 5 2 から出力されたカウント値及び第 1 のエンコーダ 5 6 から出力されたエンコード結果は、第 2 のエンコーダ 5 7 によってエンコードされてデジタル信号 D O U T [ 5 : 0 ] に変換され出

50

力される。

【0061】

図6Aに示した時間-デジタル変換器26では、リング発振器51の内部ノード $n_1$ 、 $n_2$ 、 $\dots$ 、 $n_k$ の位相情報を用いることにより、図6Bに示すようにリング発振器51におけるNAND回路53とインバータ54との間、及びインバータ54間の信号の伝播時間に相当する小さな時間分解能  $t$ での測定が可能となる。

【0062】

図7A~図7Cは、第1の実施形態におけるアナログデジタル変換器での誤差補正を説明するための図である。第1の実施形態におけるアナログデジタル変換器では、デジタル信号DOUT[7:0]のうちの上位側の2ビットDOUT[7:6]に係るAD変換を行う処理部と、下位側の6ビットDOUT[5:0]に係るAD変換を行う処理部とが異なる。

10

【0063】

そのため、上位側の2ビットDOUT[7:6]に係るAD変換を行う処理部におけるデジタル値“1”に対応する電位差と、下位側の6ビットDOUT[5:0]に係るAD変換を行う処理部におけるデジタル値“64”（最大値）に対応する電位差とが等しくなければならない。すなわち、電位 $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$ 、 $V_T$ の順での隣り合う電位間の電位差が、 $64 \cdot t$ （ $t$ は時間-デジタル変換器26の時間分解能）となるようにしなければならない。

【0064】

電位 $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$ 、 $V_T$ の順での隣り合う電位間の電位差が $64 \cdot t$ となっていれば、アナログ入力信号VINに対するデジタル信号DOUTは、図7Aに破線で示したような一定の傾きを有する連続した直線71で示される値となる。一方、電位 $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$ 、 $V_T$ の順での隣り合う電位間の電位差が $64 \cdot t$ よりも大きい場合には、アナログ入力信号VINに対するデジタル信号DOUTは、図7Aに実線で示したような不連続な直線72で示される値となってしまう。

20

【0065】

電位 $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$ 、 $V_T$ の順での隣り合う電位間の電位差が $64 \cdot t$ となるようにするには、例えば図7Bに示すように、スイッチSW71及び補正制御回路(CAL)73をさらに設けて、ランプ回路24の電流源IS1における電流量を調整すれば良い。スイッチSW71は、入力電位 $V_{sam}$ の入力ノードに参照電位 $V_{ref1}$ を供給するためのスイッチであり、制御信号SCによってオン/オフ制御される。制御信号SCは、制御回路21が出力するようにしても良いし、補正制御回路73が出力するようにしても良い。補正制御回路73は、時間-デジタル変換器26の出力に基づいて、ランプ回路24の電流源IS1における電流量を調整する。

30

【0066】

電流源IS1における電流量を調整するときの動作について説明する。まず、AD変換処理のサンプリング動作時に、制御信号SCによってスイッチSW71をオン（導通）させ、入力電位 $V_{sam}$ の入力ノードに参照電位 $V_{ref1}$ を供給する。なお、クロック信号CKはローレベルとしておき、アナログ入力信号VINの入力は行わない。制御信号SCによってスイッチSW71をオフ（非導通）とさせた後、AD変換処理の比較動作を開始する。AD変換処理の比較動作の開始時において、入力電位 $V_{sam}$ は参照電位 $V_{ref1}$ であるので、比較器23-0の出力信号S0がハイレベルであり、その他の比較器23-1~23-3の出力信号S1~S3がハイレベルである。

40

【0067】

その後、ランプ回路24によって入力電位 $V_{sam}$ を一定の速度で低下させていき、入力電位 $V_{sam}$ と参照電位 $V_B$ とが等しくなると、比較器23-0の出力信号S0がハイレベルからローレベルに遷移する。これにより、入力電位 $V_{sam}$ が参照電位 $V_{ref1}$ から参照電位 $V_B$ になるまでの時間差をデジタル値に変換して得られる値が時間-デジタル変換

50

器 2 6 から出力される。補正制御回路 7 3 は、時間 - デジタル変換器 2 6 から出力されたデジタル値に基づいて、ランプ回路 2 4 の電流源 I S 1 における電流量を増減させ調整する。

【 0 0 6 8 】

本実施形態では、補正制御回路 7 3 は、時間 - デジタル変換器 2 6 から出力されたデジタル値が “ 6 4 ” より大きい場合、入力電位  $V_{sam}$  を低下させる速度を速くするように、電流源 I S 1 における電流量を増加させる。一方、補正制御回路 7 3 は、時間 - デジタル変換器 2 6 から出力されたデジタル値が “ 6 4 ” より小さい場合、入力電位  $V_{sam}$  を低下させる速度を遅くするように、電流源 I S 1 における電流量を減少させる。

【 0 0 6 9 】

このようにして、図 7 C に示すように、入力電位  $V_{sam}$  が参照電位  $V_{ref1}$  から参照電位  $V_B$  になるまでの時間差 7 4 が、 $64 \cdot t$  となるようにランプ回路 2 4 の電流源 I S 1 における電流量を調整する。ランプ回路 2 4 の電流源 I S 1 における電流量を適切に調整することで、図 7 A において破線の直線 7 1 で示されるような良好な A D 変換特性を得ることができる。なお、前述した説明では、入力電位  $V_{sam}$  として参照電位  $V_{ref1}$  を供給して調整を行うようにしているが、入力電位  $V_{sam}$  として参照電位  $V_{ref2}$  や  $V_{ref3}$  を供給して電位  $V_{ref1}$  や  $V_{ref2}$  になるまでの時間差に基づいてランプ回路 2 4 の電流源 I S 1 における電流量を調整するようにしても良い。

【 0 0 7 0 】

第 1 の実施形態におけるアナログデジタル変換器の動作を、図 8 を参照して説明する。図 8 は、第 1 の実施形態におけるアナログデジタル変換器の動作例を示すタイミングチャートである。

【 0 0 7 1 】

時刻  $T_{81}$  ~ 時刻  $T_{82}$  にて、クロック信号  $CK$  がハイレベルとなってトラックアンドホールド回路 2 2 がトラックモードとなり、入力されたアナログ入力信号  $V_{IN}$  をトラックアンドホールド回路 2 2 によりサンプリングする。トラックアンドホールド回路 2 2 によりアナログ入力信号  $V_{IN}$  をサンプリングした後、リセット信号  $RESET$  を入力して、検出回路 2 5 ( その内部のフリップフロップ 4 1 - 0 ~ 4 1 - 3 ) をリセットする。なお、検出回路 2 5 のリセット処理は、ランプ回路 2 4 によって入力電位  $V_{sam}$  を低下させ始める前まで ( 本例では時刻  $T_{83}$  以前 ) に行えば良い。

【 0 0 7 2 】

次に、時刻  $T_{83}$  にて、スタート信号  $START$  をローレベルからハイレベルに遷移させる。スタート信号  $START$  がハイレベルになることで、入力電位  $V_{sam}$  がランプ回路 2 4 によって一定の速度で低下していく。また、スタート信号  $START$  がハイレベルになることで、時間 - デジタル変換器 2 6 は、スタート信号  $START$  がハイレベルになってからの時間の測定を開始する。

【 0 0 7 3 】

ランプ回路 2 4 によって入力電位  $V_{sam}$  が低下していき、時刻  $T_{84}$  にて、入力電位  $V_{sam}$  と参照電位  $V_{ref2}$  とが等しくなると、比較器 2 3 - 2 の出力信号  $S_2$  がハイレベルからローレベルに遷移する。比較器 2 3 - 2 の出力信号  $S_2$  がハイレベルからローレベルに遷移したことを受けて、検出回路 2 5 は、ストップ信号  $STOP$  をハイレベルからローレベルに遷移させるとともに、デジタル信号  $DOUT[7:0]$  のうちの上位側の 2 ビット  $DOUT[7:6]$  の値を “ 1 0 ” に決定し出力する。

【 0 0 7 4 】

また、ストップ信号  $STOP$  がローレベルになることで、時間 - デジタル変換器 2 6 は、時間の測定を終了する。そして、時間 - デジタル変換器 2 6 は、スタート信号  $START$  がハイレベルになってからストップ信号  $STOP$  がローレベルになるまでの時間  $t_{res}$  を変換して得られたデジタル値を、デジタル信号  $DOUT[7:0]$  のうちの下位側の 6 ビット  $DOUT[5:0]$  として出力する。その後、時刻  $T_{85}$  において、再びクロック信号  $CK$  がハイレベルとなり、次の A D 変換処理が開始される。

10

20

30

40

50

## 【 0 0 7 5 】

第 1 の実施形態によれば、並列型 A D 変換器とシングルスロープ型 A D 変換器とを組み合わせ、A D 変換を行うことで、シングルスロープ型 A D 変換器のビット数を減らすことができ、シングルスロープ型 A D 変換器の長所を損なうことなく、高速に A D 変換を行うことが可能になる。また、図 4 A に一例を示したように検出回路等はわずかな論理回路で実現することができるので、本実施形態において追加される回路の面積や消費電力は非常に小さく、回路面積や消費電力の増大を抑制することができる。

## 【 0 0 7 6 】

( 第 2 の実施形態 )

次に、本発明の第 2 の実施形態について説明する。

図 2 A に例示した第 1 の実施形態における A D 変換器で使用している 4 つの比較器 2 3 - 0 ~ 2 3 - 3 は、アナログ入力信号に応じた入力電位と参照電位とを常時比較し続けなければならないため、比較を常時行う連続時間比較器と呼ばれる比較器である。連続時間比較器は常時電流を流すため、消費電力が大きい。以下に説明する第 2 の実施形態における A D 変換器では、クロック信号に同期して入力信号を取り込み比較する離散時間比較器と呼ばれる比較器を用い、A D 変換器の消費電力の低減を図る。

10

## 【 0 0 7 7 】

図 1 0 は、第 2 の実施形態における A D 変換器の構成例を示す図である。図 1 0 には、入力されたアナログ入力信号 V I N を 8 ビットのデジタル信号 D O U T [ 7 : 0 ] に変換する A D 変換器を一例として示している。本例においては、デジタル信号 D O U T [ 7 : 0 ] のうちの上位側の 2 ビット D O U T [ 7 : 6 ] についての A D 変換処理を並列型 A D 変換器で行い、下位側の 6 ビット D O U T [ 5 : 0 ] についての A D 変換処理をシングルスロープ型 A D 変換器で行う。

20

## 【 0 0 7 8 】

図 1 0 に例示する第 2 の実施形態における A D 変換器は、制御回路 1 0 1、トラックアンドホールド回路 1 0 2、比較器 ( 離散時間比較器 ) 1 0 3 - 1、1 0 3 - 2、1 0 3 - 3、エンコーダ 1 0 4、デジタルアナログ変換器 ( D A 変換器 ) 1 0 5、減算器 1 0 6、比較器 ( 連続時間比較器 ) 1 0 7、ランプ回路 1 0 8、及び時間 - デジタル変換器 1 0 9 を有する。並列型 A D 変換器としての機能を比較器 1 0 3 - 1 ~ 1 0 3 - 3 及びエンコーダ 1 0 4 等によって実現し、シングルスロープ型 A D 変換器としての機能を比較器 1 0 7、ランプ回路 1 0 8、及び時間 - デジタル変換器 1 0 9 等によって実現する。

30

## 【 0 0 7 9 】

制御回路 1 0 1 は、アナログ入力信号 V I N からデジタル信号 D O U T への A D 変換処理を統括的に制御する。例えば、制御回路 1 0 1 は、トラックアンドホールド回路 1 0 2 の動作を制御するクロック信号 C K A や、比較器 1 0 3 - 1 ~ 1 0 3 - 3 の動作を制御するクロック信号 C K B や、ランプ回路 1 0 8 及び時間 - デジタル変換器 1 0 9 の動作を制御するスタート信号 S T A R T を出力する。

## 【 0 0 8 0 】

トラックアンドホールド回路 1 0 2 は、クロック信号 C K A によってオン / オフ制御されアナログ入力信号 V I N を伝達するスイッチ S W 1 0 1 と、スイッチ S W 1 0 1 を介して伝達されたアナログ入力信号 V I N を保持する保持容量 C 1 0 1 とを有する。トラックアンドホールド回路 1 0 2 は、クロック信号 C K A がハイレベルのときにスイッチ S W 1 0 1 がオン ( 導通 ) し ( トラックモード )、入力されたアナログ入力信号 V I N を出力端に伝達する。また、トラックアンドホールド回路 1 0 2 は、クロック信号 C K A がローレベルのときにスイッチ S W 1 0 1 がオフ ( 非導通 ) になり ( ホールドモード )、トラックモードにて伝達されたアナログ入力信号 V I N を保持する。

40

## 【 0 0 8 1 】

比較器 1 0 3 - 1 ~ 1 0 3 - 3 は、クロック信号 C K B に同期して入力信号の取り込み及び比較を行う離散時間比較器である。比較器 1 0 3 - 1 ~ 1 0 3 - 3 は、クロック信号 C K B がローレベルのときにリセット状態となり、クロック信号 C K B がハイレベルのと

50

きに比較動作状態となる。

【0082】

比較器103-1は、入力電位 $V_{sam}$ 及び参照電位 $V_{ref1}$ が入力され、入力電位 $V_{sam}$ と参照電位 $V_{ref1}$ とを比較して比較結果に応じた出力信号 $S101$ を出力する。比較器103-2は、入力電位 $V_{sam}$ 及び参照電位 $V_{ref2}$ が入力され、入力電位 $V_{sam}$ と参照電位 $V_{ref2}$ とを比較して比較結果に応じた出力信号 $S102$ を出力する。また、比較器103-3は、入力電位 $V_{sam}$ 及び参照電位 $V_{ref3}$ が入力され、入力電位 $V_{sam}$ と参照電位 $V_{ref3}$ とを比較して比較結果に応じた出力信号 $S103$ を出力する。

【0083】

ここで、入力電位 $V_{sam}$ は、トラックアンドホールド回路102によってサンプリングされたアナログ入力信号 $V_{IN}$ に応じた電位である。参照電位 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$ は、例えば、低電位側の基準電圧 $V_B$ と高電位側の基準電圧 $V_T$ との間を、同じ抵抗値を有する複数の抵抗が直列に接続された抵抗ラダー回路で抵抗分圧することで生成され、電位 $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$ 、 $V_T$ の順に一定の電位差で電位が高くなる。

【0084】

本実施形態における比較器103(103-1~103-3)の構成例を図11に示す。図11に示す比較器103は、NチャネルMOSトランジスタ $MT101$ 、 $MT102$ 、 $MT103$ 、 $MT104$ 、 $MT107$ 、及びPチャネルMOSトランジスタ $MT105$ 、 $MT106$ 、 $MT108$ 、 $MT109$ 、 $MT110$ 、 $MT111$ を有する。

【0085】

トランジスタ $MT101$ は、ゲートに入力信号 $I_{NP}$ が供給され、ソースがトランジスタ $MT107$ のドレインに接続され、ドレインがトランジスタ $MT103$ のソースに接続される。トランジスタ $MT102$ は、ゲートに入力信号 $I_{NN}$ が供給され、ソースがトランジスタ $MT107$ のドレインに接続され、ドレインがトランジスタ $MT104$ のソースに接続される。本実施形態における比較器103では、入力電位 $V_{sam}$ が入力信号 $I_{NP}$ として入力され、参照電位が入力信号 $I_{NN}$ として入力される。

【0086】

トランジスタ $MT103$ のドレインとトランジスタ $MT105$ のドレインとが接続され、その接続点の電位が出力信号 $O_{UTN}$ として出力される。トランジスタ $MT104$ のドレインとトランジスタ $MT106$ のドレインとが接続され、その接続点の電位が出力信号 $O_{UTP}$ として出力される。本実施形態における比較器103では、出力信号 $O_{UTP}$ が比較器103の出力信号としてエンコーダ104へ出力される。

【0087】

また、トランジスタ $MT103$ 及び $MT105$ のゲートが、トランジスタ $MT104$ のドレインとトランジスタ $MT106$ のドレインとの接続点に接続される。トランジスタ $MT104$ 及び $MT106$ のゲートが、トランジスタ $MT103$ のドレインとトランジスタ $MT105$ のドレインとの接続点に接続される。トランジスタ $MT105$ 及び $MT106$ のソースに電源電圧が供給される。

【0088】

すなわち、トランジスタ $MT103$ と $MT105$ とがインバータを構成するように接続され、トランジスタ $MT104$ と $MT106$ とがインバータを構成するように接続される。そして、一方のインバータの出力が他方のインバータの入力に接続され、トランジスタ $MT103$ 、 $MT104$ 、 $MT105$ 、及び $MT106$ によってラッチ回路を構成する。

【0089】

トランジスタ $MT107$ は、ソースが基準電圧に接続され、ゲートにクロック信号 $C_{KB}$ が供給される。トランジスタ $MT108$ 、 $MT109$ 、 $MT110$ 、及び $MT111$ は、ソースに電源電圧が供給され、ゲートにクロック信号 $C_{KB}$ が供給される。

【0090】

トランジスタ $MT108$ のドレインが、トランジスタ $MT103$ のドレインとトランジ

10

20

30

40

50

スタMT105のドレインとの接続点に接続され、トランジスタMT109のドレインが、トランジスタMT101のドレインとトランジスタMT103のソースとの接続点に接続される。また、トランジスタMT110のドレインが、トランジスタMT104のドレインとトランジスタMT106のドレインとの接続点に接続され、トランジスタMT111のドレインが、トランジスタMT102のドレインとトランジスタMT104のソースとの接続点に接続される。

【0091】

図11に示した比較器は、クロック信号CKBがローレベルのとき、トランジスタMT107がオフし、トランジスタMT108～MT111がオンする。これにより、トランジスタMT104のドレインとトランジスタMT106のドレインとの接続点（出力信号OUTPUT）、及びトランジスタMT103のドレインとトランジスタMT105のドレインとの接続点（出力信号OUTN）がハイレベルにリセットされる。また、トランジスタMT101のドレインとトランジスタMT103のソースとの接続点、及びトランジスタMT102のドレインとトランジスタMT104のソースとの接続点が、ハイレベルにリセットされる。

10

【0092】

また、図11に示した比較器は、クロック信号CKBがハイレベルのとき、トランジスタMT107がオンし、トランジスタMT108～MT111がオフする。これにより、トランジスタMT101、MT102からなる差動増幅回路が動作状態となり、入力信号INP及びINNの電位差が増幅される。増幅された信号は、トランジスタMT103～MT106からなるラッチ回路にラッチされ、入力信号INP及びINNの大小関係が出力信号OUTPUT及びOUTNとして出力される。入力信号INPの電位が入力信号INNの電位より高い場合、出力信号OUTPUTはハイレベルになり、入力信号INPの電位が入力信号INNの電位より低い場合、出力信号OUTPUTはローレベルになる。

20

【0093】

したがって、図10に示した比較器103-1～103-3の各々は、入力電位 $V_{sam}$ と入力される参照電位とを比較した結果、入力電位 $V_{sam}$ が参照電位より高いときには出力信号S101～S103をハイレベル（電源電圧VDD）とする。一方、入力電位 $V_{sam}$ が参照電位以下のときには出力信号S101～S103をローレベル（基準電圧VSS）とする。ここで、図11に示した比較器では出力信号OUTPUT及びOUTNの状態が確定した後は回路に電流が流れないため、比較器103-1～103-3として図11に示した離散時間比較器を用いることで、連続時間比較器を用いた場合と比較して消費電力を低減することができる。

30

【0094】

エンコーダ104は、比較器103-1～103-3の出力信号S101～S103をエンコードして、デジタル信号DOUT[7:0]のうちの上位側の2ビットDOUT[7:6]に変換し出力する。エンコーダ104は、出力信号S103がハイレベルである場合、デジタル信号DOUT[7:6]として“11”を出力し、出力信号S103がローレベルであり出力信号S102がハイレベルである場合、デジタル信号DOUT[7:6]として“10”を出力する。また、エンコーダ104は、出力信号S103及びS102がローレベルであり出力信号S101がハイレベルである場合、デジタル信号DOUT[7:6]として“01”を出力し、出力信号S101～S103のすべてがローレベルである場合、デジタル信号DOUT[7:6]として“00”を出力する。

40

【0095】

DA変換器105は、エンコーダ104から出力されたデジタル信号DOUT[7:6]をデジタルアナログ変換し、デジタル信号DOUT[7:6]に応じた電位V101を出力する。DA変換器105は、デジタル信号DOUT[7:6]が“00”のとき出力電位V101を電位VBとし、デジタル信号DOUT[7:6]が“01”であるとき出力電位V101を電位Vref1とする。また、DA変換器105は、デジタル信号DOUT[7:6]が“10”のとき出力電位V101を電位Vref2とし、デジタル信号

50

DOU T [ 7 : 6 ] が “ 1 1 ” のとき出力電位  $V_{101}$  を電位  $V_{ref3}$  とする。

【 0 0 9 6 】

減算器 1 0 6 は、入力電位  $V_{sam}$  及び D A 変換器 1 0 5 からの出力電位  $V_{101}$  が入力され、入力電位  $V_{sam}$  から出力電位  $V_{101}$  を減算した電位 ( 残差成分 )  $V_{res}$  を出力する。すなわち、減算器 1 0 6 は、アナログ入力信号  $V_{IN}$  に応じた入力電位  $V_{sam}$  から、比較器 1 0 3 - 1 ~ 1 0 3 - 3 及びエンコーダ 1 0 4 等からなる並列型 A D 変換器により決定されたデジタル信号 DOU T [ 7 : 6 ] に応じた出力電位  $V_{101}$  を減じた電位 ( 残差成分 )  $V_{res}$  を出力する。つまり、減算器 1 0 6 は、入力電位  $V_{sam}$  をデジタル信号 DOU T [ 7 : 0 ] に変換したときの低位側の 6 ビット DOU T [ 5 : 0 ] に相当する残差成分  $V_{res}$  を出力する。

10

【 0 0 9 7 】

ランプ回路 1 0 8 は、スタート信号 S T A R T によってオン / オフ制御されるスイッチ S W 1 0 2 と、スイッチ S W 1 0 2 を介して電位 ( 残差成分 )  $V_{res}$  を供給するノードに接続される電流源 I S 1 0 1 とを有する。ランプ回路 1 0 8 は、スタート信号 S T A R T がハイレベルのときにスイッチ S W 1 0 2 がオンとなって電流源 I S 1 0 1 が電位 ( 残差成分 )  $V_{res}$  を供給するノードに接続され、電位 ( 残差成分 )  $V_{res}$  を一定の速度で低下させる。

【 0 0 9 8 】

比較器 1 0 7 は、常時比較し続けることが可能な連続時間比較器であり、図 2 A に例示した第 1 の実施形態における比較器 2 3 と同様に構成される。比較器 1 0 7 は、減算器 1 0 6 から出力された電位 ( 残差成分 )  $V_{res}$  及び参照電位  $V_{r0}$  が入力され、電位 ( 残差成分 )  $V_{res}$  と参照電位  $V_{r0}$  とを比較して比較結果に応じた出力信号を出力する。D A 変換器 1 0 5 が前述したようにデジタル信号 DOU T [ 7 : 6 ] に応じて電位  $V_B$ 、 $V_{ref1}$ 、 $V_{ref2}$ 、 $V_{ref3}$  を出力する場合、参照電位  $V_{r0}$  は 0 ( ゼロ ) である。比較器 1 0 7 は、電位 ( 残差成分 )  $V_{res}$  が参照電位  $V_{r0}$  より高いとき出力信号をハイレベルとし、電位 ( 残差成分 )  $V_{res}$  がランプ回路 1 0 8 によって低下していき、電位 ( 残差成分 )  $V_{res}$  が参照電位  $V_{r0}$  と等しくなると出力信号をローレベルとする。

20

【 0 0 9 9 】

時間 - デジタル変換器 1 0 9 は、スタート信号 S T A R T がハイレベルに遷移してから比較器 1 0 7 の出力信号がローレベルに遷移するまでの時間差を測定し、その時間差をデジタル値に変換することにより、デジタル信号 DOU T [ 7 : 0 ] のうちの低位側の 6 ビット DOU T [ 5 : 0 ] の値を決定する。時間 - デジタル変換器 1 0 9 は、図 5 及び図 6 A に例示した第 1 の実施形態における時間 - デジタル変換器 2 6 と同様に構成され、比較器 1 0 7 の出力信号がストップ信号 S T O P に対応する。

30

【 0 1 0 0 】

スタート信号 S T A R T がハイレベルに遷移した時刻は、ランプ回路 1 0 8 によって電位 ( 残差成分 )  $V_{res}$  を低下させ始める時刻に対応するので、時間 - デジタル変換器 1 0 9 によって測定される時間差は、電位 ( 残差成分 )  $V_{res}$  を時間に変換したものに相当する。したがって、時間 - デジタル変換器 1 0 9 によって測定された時間差をデジタル値に変換することにより、デジタル信号 DOU T [ 5 : 0 ] の値が得られる。

40

【 0 1 0 1 】

第 2 の実施形態における A D 変換器は、アナログ入力信号  $V_{IN}$  を 8 ビットのデジタル信号 DOU T [ 7 : 0 ] に変換する際、比較器 1 0 3 - 1 ~ 1 0 3 - 3 及びエンコーダ 1 0 4 等によって構成される並列型 A D 変換器によりデジタル信号 DOU T [ 7 : 0 ] のうちの上位側の 2 ビット DOU T [ 7 : 6 ] についての A D 変換処理を行う。そして、D A 変換器 1 0 5 及び減算器 1 0 6 により、アナログ入力信号  $V_{IN}$  から並列型 A D 変換器によって決定されたデジタル信号 DOU T [ 7 : 6 ] を減じた残差成分  $V_{res}$  を発生させる。この残差成分  $V_{res}$  を比較器 1 0 7、ランプ回路 1 0 8、及び時間 - デジタル変換器 1 0 9 等によって構成されるシングルスロープ型 A D 変換器により A D 変換し、デジタル信号 DOU T [ 7 : 0 ] のうちの低位側の 6 ビット DOU T [ 5 : 0 ] を決定する。

50

## 【0102】

このように第2の実施形態によれば、第1の実施形態と同様にシングルスロープ型AD変換器のビット数を減らすことができ、シングルスロープ型AD変換器の長所を損なうことなく、高速にAD変換を行うことが可能になる。また、並列型AD変換器を構成する比較器103-1～103-3に消費電力が小さい離散時間比較器を用いることで、AD変換器の消費電力を低減することができる。また、残差成分 $V_{res}$ を発生させるDA変換器105及び減算器106の機能を実現する構成として、例えば図12に示すように容量型DA変換器を適用することで、容易に構成でき消費電力も小さく抑えることが可能となる。

## 【0103】

図12は、第2の実施形態におけるアナログデジタル変換器の他の構成例を示す図である。図12に示すアナログデジタル変換器は、図10に示したアナログデジタル変換器におけるDA変換器105及び減算器106を容量型DA変換器121に置き換えたものである。なお、図12において、図10に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。

## 【0104】

容量型DA変換器121は、アナログ入力信号 $V_{IN}$ 及びエンコーダ104から出力されたデジタル信号 $DOUT[7:6]$ が入力され、アナログ入力信号 $V_{IN}$ からデジタル信号 $DOUT[7:6]$ に応じた電位を減算した電位(残差成分) $V_{res}$ を出力する。すなわち、容量型DA変換器121は、デジタル信号 $DOUT[7:6]$ が“11”のときアナログ入力信号 $V_{IN}$ から電位 $V_{ref3}$ を減算した電位 $V_{res}$ を出力し、デジタル信号 $DOUT[7:6]$ が“10”のときアナログ入力信号 $V_{IN}$ から電位 $V_{ref2}$ を減算した電位 $V_{res}$ を出力する。また、容量型DA変換器121は、デジタル信号 $DOUT[7:6]$ が“01”のときアナログ入力信号 $V_{IN}$ から電位 $V_{ref1}$ を減算した電位 $V_{res}$ を出力し、デジタル信号 $DOUT[7:6]$ が“00”のときアナログ入力信号 $V_{IN}$ から電位 $V_B$ を減算した電位 $V_{res}$ を出力する。

## 【0105】

図13は、本実施形態における容量型DA変換器121の構成例を示す図である。容量型DA変換器121は、3つの容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ 及び4つのスイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ 、 $SW_{134}$ を有する。容量 $C_{131}$ 、 $C_{132}$ の容量値は等しく、容量値 $C_{133}$ の容量値は容量 $C_{131}$ 、 $C_{132}$ の容量値の2倍であるとする。

## 【0106】

容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の一方の電極は、出力ノードOUTに接続される。容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の一方の電極には、スイッチ $SW_{134}$ を介してコモン電圧 $V_{com}$ が供給可能となっている。また、容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ のそれぞれの他方の電極には、スイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ を介してアナログ入力信号 $V_{IN}$ 、高電位側の基準電圧 $V_T$ 、低電位側の基準電圧 $V_B$ が選択的に供給可能となっている。

## 【0107】

図13に示す容量型DA変換器は、トラック期間(クロック信号CKAがハイレベルの期間)には、容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の一方の電極にスイッチ $SW_{134}$ を介してコモン電圧 $V_{com}$ が供給され、容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ の他方の電極にスイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ を介してアナログ入力信号 $V_{IN}$ が供給される。トラック期間が終了すると、スイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ 、 $SW_{134}$ がオフし、トラック期間終了時のアナログ入力信号 $V_{IN}$ が容量 $C_{131}$ 、 $C_{132}$ 、 $C_{133}$ にサンプリングされ保持される。

## 【0108】

その後、並列型AD変換器の変換結果である、エンコーダ104から出力されたデジタル信号 $DOUT[7:6]$ に応じてスイッチ $SW_{131}$ 、 $SW_{132}$ 、 $SW_{133}$ の切り

10

20

30

40

50

替えを行う。スイッチSW131は、デジタル信号DOU T [ 7 : 6 ]にかかわらず、容量C131の他方の電極に低電位側の基準電圧VBを供給するように制御される。

【0109】

スイッチSW132は、デジタル信号DOU T [ 6 ]に応じて制御される。スイッチSW132は、デジタル信号DOU T [ 6 ]が“1”のとき容量C132の他方の電極に高電位側の基準電圧VTを供給するように制御され、デジタル信号DOU T [ 6 ]が“0”のとき容量C132の他方の電極に低電位側の基準電圧VBを供給するように制御される。また、スイッチSW133は、デジタル信号DOU T [ 7 ]に応じて制御される。スイッチSW133は、デジタル信号DOU T [ 7 ]が“1”のとき容量C133の他方の電極に高電位側の基準電圧VTを供給するように制御され、デジタル信号DOU T [ 7 ]が“0”のとき容量C133の他方の電極に低電位側の基準電圧VBを供給するように制御される。

10

【0110】

このようにデジタル信号DOU T [ 7 : 6 ]に応じてスイッチSW131、SW132、SW133の切り替えを行うことで、容量C131、C132、C133に蓄えられている電荷が再配分され、出力ノードOUTにはアナログ入力信号VINからデジタル信号DOU T [ 7 : 6 ]に応じた電位を減算した電位が出力される。

【0111】

前述したように容量型DA変換器を用いることで、図10に示したDA変換器105及び減算器106の機能を統合することができる。容量型DA変換器は、図13に示したように容量とスイッチのみで構成でき、回路の面積や消費電力を低減することが可能となる。また、容量型DA変換器の出力ノードには残差成分 $V_{res}$ が蓄えられた容量が接続されているので、容量型DA変換器の出力ノードにランプ回路108を直接接続するだけでランプ動作が可能となり、回路構成を簡略化できるという利点もある。

20

【0112】

なお、前述した説明では、並列型AD変換器において上位側の2ビットのAD変換を行い、シングルスロープ型AD変換器において下位側の6ビットのAD変換を行う例を示したが、本発明はこれに限定されるものではない。出力するデジタル信号のビット数等に応じて、並列型AD変換器及びシングルスロープ型AD変換器のビット数は適宜設定可能であり、回路面積や変換速度等を考慮して適切に設定すれば良い。例えば、 $2^p$ 個の比較器を有する並列型AD変換器とqビットの変換精度を持つシングルスロープ型AD変換器とを組み合わせることで、 $(p+q)$ ビットのデジタル信号へのAD変換を行うことが可能である。

30

【0113】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

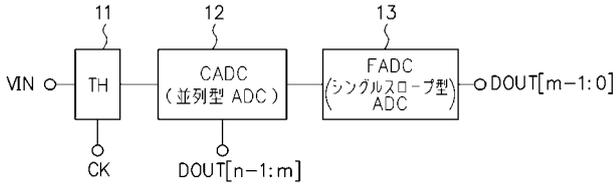
【産業上の利用可能性】

【0114】

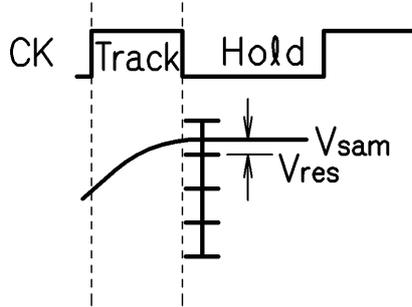
以上のように、本発明によれば、デジタル信号の上位側の変換を並列型アナログデジタル変換器で行い、下位側の変換をシングルスロープ型アナログデジタル変換器で行うことで、シングルスロープ型アナログデジタル変換器のビット数を減らすことができ、小面積及び低消費電力で、かつ高速にアナログデジタル変換を行うことが可能なアナログデジタル変換器を提供することができる。

40

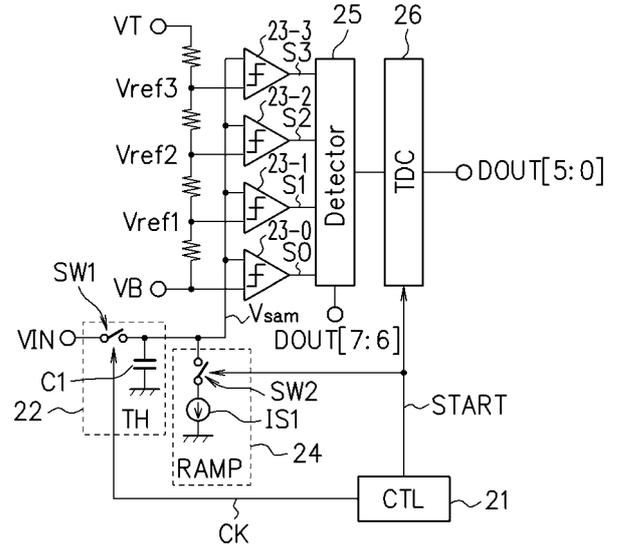
【 図 1 A 】



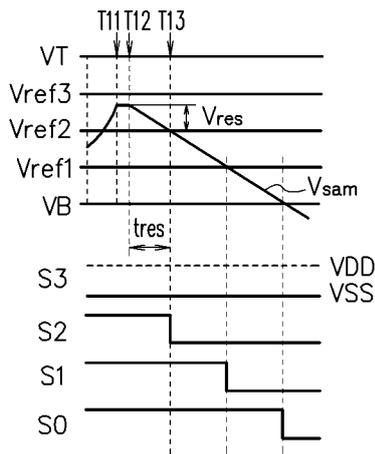
【 図 1 B 】



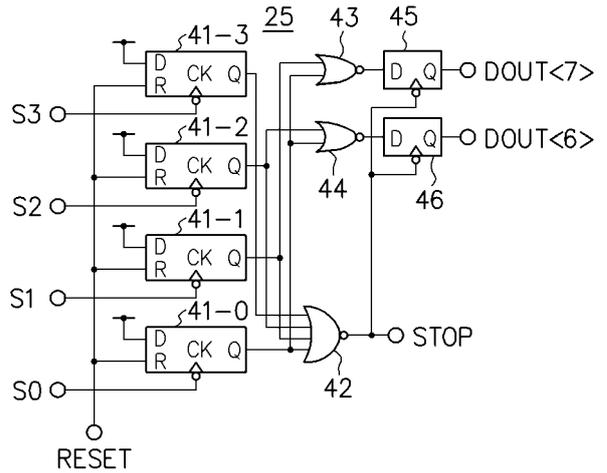
【 図 2 A 】



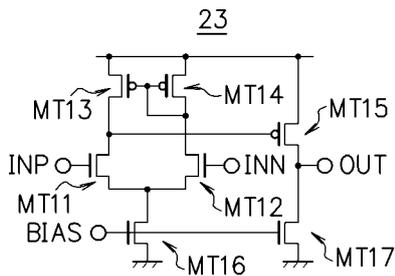
【 図 2 B 】



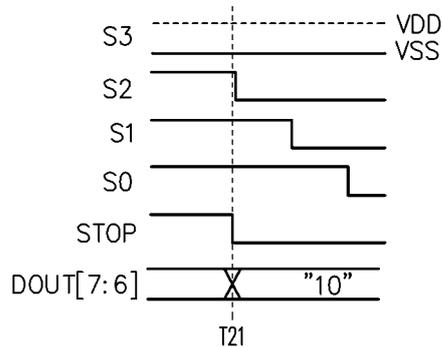
【 図 4 A 】



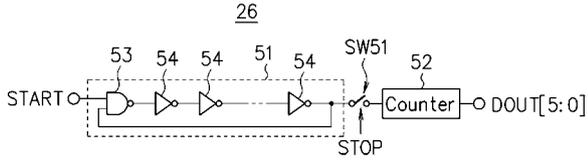
【 図 3 】



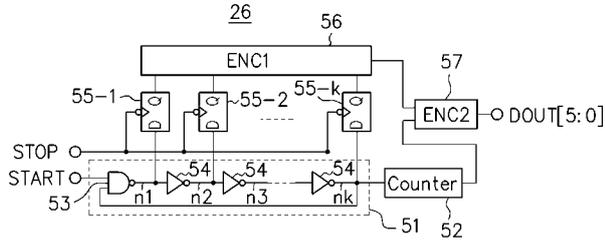
【 図 4 B 】



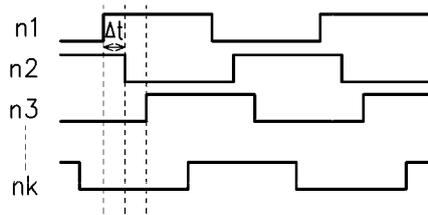
【 図 5 】



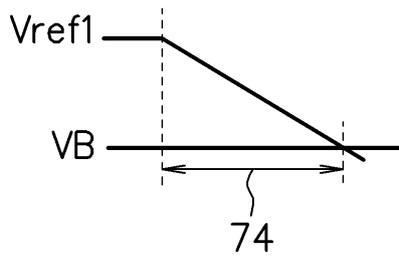
【 図 6 A 】



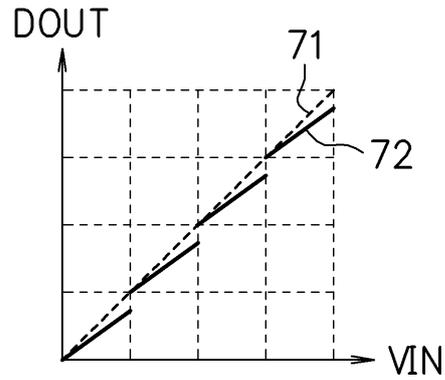
【 図 6 B 】



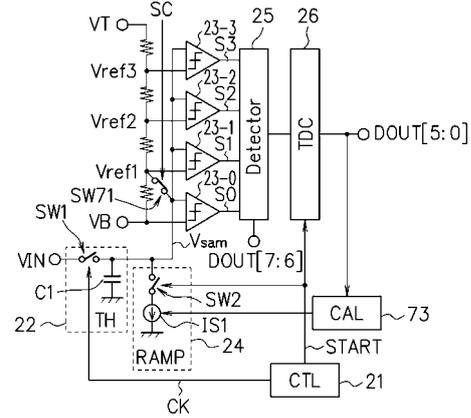
【 図 7 C 】



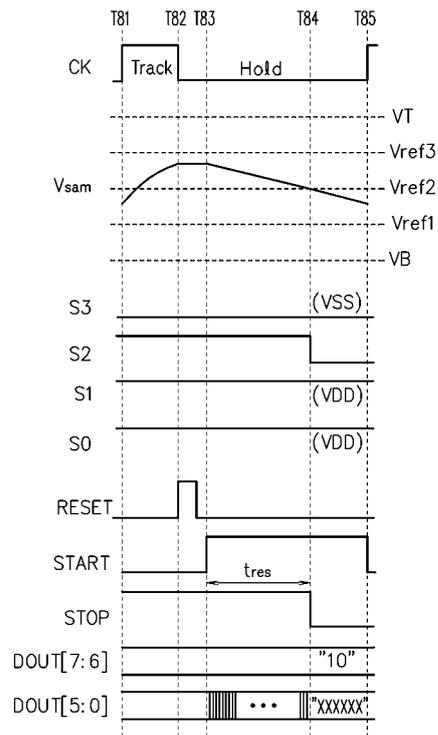
【 図 7 A 】



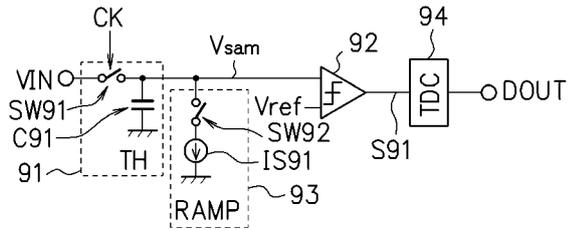
【 図 7 B 】



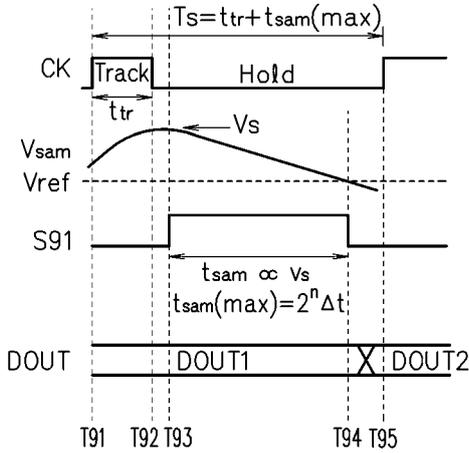
【 図 8 】



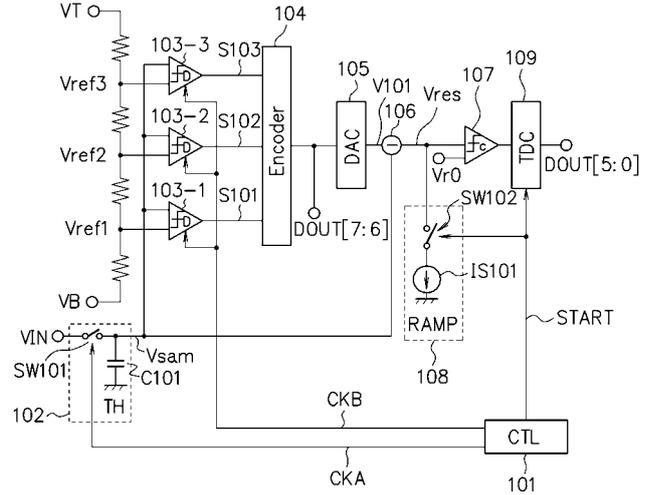
【 図 9 A 】



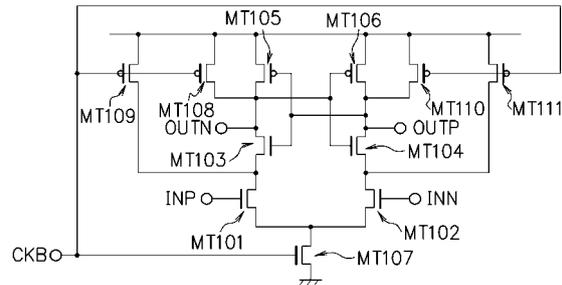
【 図 9 B 】



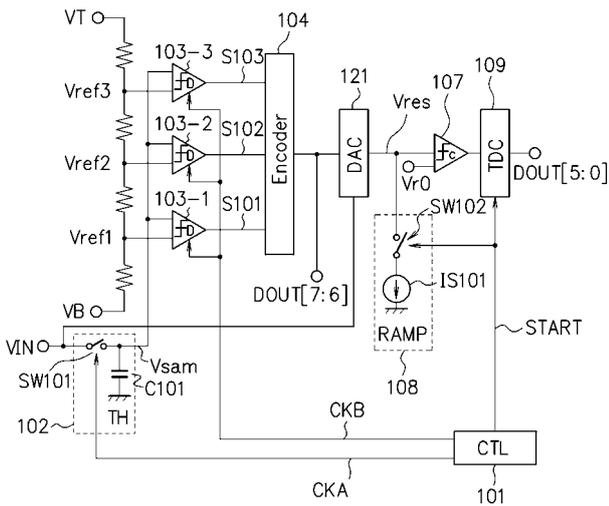
【 図 1 0 】



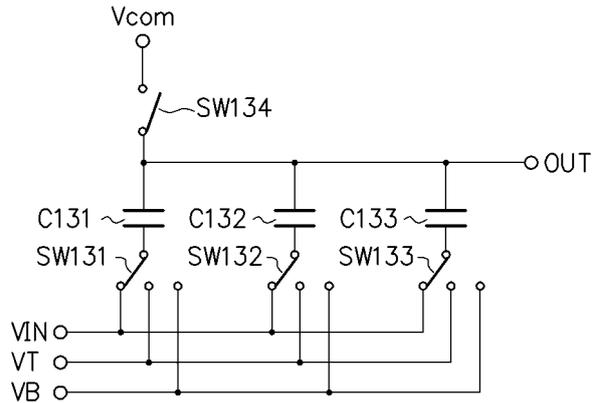
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



## 【手続補正書】

【提出日】平成29年5月31日(2017.5.31)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器を有し、前記複数の比較器の出力に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する並列型アナログデジタル変換器と、

サンプリングされた前記アナログ入力信号に応じた前記入力電位を一定の速度で低下させていき、前記並列型アナログデジタル変換器で決定した値に対応する前記参照電位と等しくなるまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定するシングルスロープ型アナログデジタル変換器とを有することを特徴とするアナログデジタル変換器。

【請求項2】

前記シングルスロープ型アナログデジタル変換器は、前記アナログ入力信号に応じた前記入力電位を低下させ始めてから、前記並列型アナログデジタル変換器が有する前記複数の比較器の出力のうち何れか1つの出力が遷移するまでの時間を、前記参照電位と等しくなるまでの時間とすることを特徴とする請求項1記載のアナログデジタル変換器。

【請求項3】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位を一定の速度で低下させるランプ回路と、

前記入力電位及び互いに異なる参照電位が入力され、前記入力電位と前記参照電位とを比較する複数の比較器と、

前記ランプ回路によって前記入力電位を低下させているときに、前記複数の比較器の出力のうち最も早く遷移した出力を検出し、検出結果に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する検出回路と、

前記ランプ回路によって前記入力電位を低下させ始めてから、前記検出回路が前記最も早く遷移した出力を検出するまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定する時間-デジタル変換器とを有することを特徴とするアナログデジタル変換器。

【請求項4】

複数の前記参照電位のうち第1の参照電位が入力される前記比較器に、前記第1の参照電位とは異なる、前記複数の参照電位のうち第2の参照電位を、前記入力電位に変えて入力するためのスイッチと、

前記比較器に入力される前記第2の参照電位を前記ランプ回路によって一定の速度で低下させていったときの前記時間-デジタル変換器の出力に基づいて、前記ランプ回路により電位を低下させる速度を調整する補正制御回路とを有することを特徴とする請求項3記載のアナログデジタル変換器。

【請求項5】

前記検出回路は、

前記複数の比較器のうちの対応する前記比較器の出力が入力され、入力される前記比較器の出力が遷移したときに出力が遷移する複数の第1のフリップフロップと、

前記第1のフリップフロップの出力を用いて前記デジタル信号の上位側の値に係る論理演算を行う演算回路と、

前記複数の第1のフリップフロップの出力のうちの何れか1つの出力が遷移したときに前記演算回路の出力を取り込んで保持する複数の第2のフリップフロップとを有することを特徴とする請求項3記載のアナログデジタル変換器。

【請求項6】

複数の前記参照電位のうちの第1の参照電位が入力される前記比較器に、前記第1の参照電位とは異なる、前記複数の参照電位のうちの第2の参照電位を、前記入力電位に変えて入力するためのスイッチと、

前記比較器に入力される前記第2の参照電位を前記ランプ回路によって一定の速度で低下させていったときの前記時間 - デジタル変換器の出力に基づいて、前記ランプ回路により電位を低下させる速度を調整する補正制御回路とを有することを特徴とする請求項5記載のアナログデジタル変換器。

【請求項7】

前記参照電位は、一定の電位差で高くなるように設定されていることを特徴とする請求項1～6の何れか1項に記載のアナログデジタル変換器。

【請求項8】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号をサンプリングするトラックアンドホールド回路と、

サンプリングされた前記アナログ入力信号に応じた入力電位及び互いに異なる第1の参照電位が入力され、前記入力電位と前記第1の参照電位とを比較する複数の第1の比較器と、

前記複数の第1の比較器の出力に基づいて前記デジタル信号の上位側の所定のビット数の値を決定する第1のエンコーダと、

決定された前記デジタル信号の上位側の値に対応する電位を前記入力電位から減じた残差成分を発生させる残差発生回路と、

前記残差成分及び第2の参照電位が入力され、前記残差成分と前記第2の参照電位とを比較する第2の比較器と、

前記第2の比較器に入力される前記残差成分を一定の速度で低下させるランプ回路と、

前記ランプ回路によって前記残差成分を低下させ始めてから、前記第2の比較器の出力が遷移するまでの時間をデジタル値に変換して前記デジタル信号の残りの下位側の値を決定する時間 - デジタル変換器とを有し、

前記第1の比較器は、クロック信号のレベルに応じてリセット状態と比較動作状態とが切り替えられ、前記比較動作状態のときに入力を取り込み比較する離散時間比較器であり、

前記第2の比較器は、入力の比較を常時行う連続時間比較器であることを特徴とするアナログデジタル変換器。

【請求項9】

前記時間 - デジタル変換器は、

前記ランプ回路によって前記残差成分を低下させ始めると発振信号を出力するリング発振器と、

前記ランプ回路によって前記残差成分を低下させ始めてから前記第2の比較器の出力が遷移するまでの期間、オン状態となるスイッチと、

前記スイッチを介して入力される前記リング発振器の出力をカウントするカウンタとを有することを特徴とする請求項8記載のアナログデジタル変換器。

【請求項10】

前記時間 - デジタル変換器は、

前記ランプ回路によって前記残差成分を低下させ始めると発振信号を出力するリング発振器と、

前記リング発振器の出力をカウントするカウンタと、

前記リング発振器の内部ノードに接続され、前記第2の比較器の出力が遷移したときの  
前記内部ノードの状態を取り込んで出力する複数のフリップフロップと、

前記カウンタのカウント値及び前記複数のフリップフロップの出力に基づいて前記デジタル信号の残りの下位側の値を決定する第2のエンコーダとを有することを特徴とする請求項8記載のアナログデジタル変換器。

【請求項11】

前記残差発生回路は、

前記エンコーダの出力をデジタルアナログ変換し、決定された前記デジタル信号の上位側の値に対応する電位を出力するデジタルアナログ変換器と、

前記入力電位から前記デジタルアナログ変換器が出力する電位を減算する減算器とを有することを特徴とする請求項8～10の何れか1項に記載のアナログデジタル変換器。

【請求項12】

前記残差発生回路は、

前記アナログ入力信号及び前記エンコーダの出力が入力され、前記アナログ入力信号に応じた入力電位から前記デジタル信号の上位側の値に対応する電位を減じた残差成分を出力する容量型デジタルアナログ変換器であることを特徴とする請求項8～10の何れか1項に記載のアナログデジタル変換器。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2016/072724
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H03M1/16(2006.01)i, H03M1/36(2006.01)i, H03M1/56(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H03M1/16, H03M1/36, H03M1/56  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 64-78027 A (Sanyo Electric Co., Ltd.), 23 March 1989 (23.03.1989), page 2, lower left column, line 10 to page 4, upper right column, line 1; fig. 1 to 2 (Family: none)	8-11 1-7
Y A	WO 2011/142452 A1 (National University Corporation Shizuoka University), 17 November 2011 (17.11.2011), paragraphs [0023] to [0027], [0047] to [0055]; fig. 1, 5 to 6 & US 2013/0120180 A1 paragraphs [0042] to [0048], [0069] to [0078]; fig. 1, 5 to 6 & EP 2571169 A1	8-11 1-7
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18 October 2016 (18.10.16)		Date of mailing of the international search report 01 November 2016 (01.11.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2016/072724

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-243324 A (Sony Corp.), 30 September 2007 (30.09.2007), paragraphs [0013] to [0015]; fig. 1 to 2 & US 2007/0279506 A1 paragraphs [0057] to [0065]; fig. 1 to 2	1-11
A	WO 2013/122221 A1 (National University Corporation Hokkaido University), 22 August 2013 (22.08.2013), paragraphs [0002] to [0007]; fig. 11 to 12 & EP 2816731 A1 paragraphs [0002] to [0007]; fig. 11 to 12 & US 2015/0014517 A1	1-11

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 7 2 7 2 4									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/16(2006.01)i, H03M1/36(2006.01)i, H03M1/56(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/16, H03M1/36, H03M1/56											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2016年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2016年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2016年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2016年	日本国実用新案登録公報	1996-2016年	日本国登録実用新案公報	1994-2016年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2016年										
日本国実用新案登録公報	1996-2016年										
日本国登録実用新案公報	1994-2016年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 64-78027 A (三洋電機株式会社) 1989.03.23, 第2頁左下欄第10行-第4頁右上欄第1行, 図1-2 (ファミリーなし)	8-11 1-7									
Y A	WO 2011/142452 A1 (国立大学法人静岡大学) 2011.11.17, 段落[0023]-[0027], [0047]-[0055], 図1, 5-6 & US 2013/0120180 A1, 段落[0042]-[0048], [0069]-[0078], 図1, 5-6 & EP 2571169 A1	8-11 1-7									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献									
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 18.10.2016		国際調査報告の発送日 01.11.2016									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 緒方 寿彦	5W 8321								
		電話番号 03-3581-1101 内線 3576									

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 7 2 7 2 4
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-243324 A (ソニー株式会社) 2007.09.30, 段落[0013]-[0015], 図 1-2 & US 2007/0279506 A1, 段落[0057]-[0065], 図 1-2	1-11
A	WO 2013/122221 A1 (国立大学法人北海道大学) 2013.08.22, 段落[0002]-[0007], 図 11-12 & EP 2816731 A1, 段落[0002]-[0007], 図 11-12 & US 2015/0014517 A1	1-11

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。