

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6150439号
(P6150439)

(45) 発行日 平成29年6月21日(2017.6.21)

(24) 登録日 平成29年6月2日(2017.6.2)

(51) Int. Cl.		F I			
HO3M	1/36	(2006.01)	HO3M	1/36	
HO3M	1/10	(2006.01)	HO3M	1/10	A

請求項の数 8 (全 16 頁)

(21) 出願番号	特願2014-520036 (P2014-520036)	(73) 特許権者	504258527
(86) (22) 出願日	平成25年6月5日(2013.6.5)		国立大学法人 鹿児島大学
(86) 国際出願番号	PCT/JP2013/065631		鹿児島県鹿児島市郡元一丁目21番24号
(87) 国際公開番号	W02013/183688	(74) 代理人	100090273
(87) 国際公開日	平成25年12月12日(2013.12.12)		弁理士 國分 孝悦
審査請求日	平成28年2月15日(2016.2.15)	(72) 発明者	大島 賢一
(31) 優先権主張番号	特願2012-128031 (P2012-128031)		鹿児島県鹿児島市郡元一丁目21番24号
(32) 優先日	平成24年6月5日(2012.6.5)		国立大学法人 鹿児島大学内
(33) 優先権主張国	日本国(JP)		
		審査官	及川 尚人

最終頁に続く

(54) 【発明の名称】 アナログデジタル変換器

(57) 【特許請求の範囲】

【請求項1】

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

互いに異なる比較基準電位が入力され、当該比較基準電位と入力される前記アナログ入力信号とを比較する複数の比較器と、

前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダと、直列に接続された複数の抵抗を有し、基準電圧を抵抗分圧して前記比較基準電位を生成し前記抵抗間の出力ノードより前記比較器に供給する抵抗ラダー回路とを備え、

前記抵抗ラダー回路は、前記比較器が前記比較基準電位を供給される出力ノードの前記抵抗ラダー回路における位置に応じて変動する、当該比較器が発生する雑音電流による前記比較基準電位の変動を、前記出力ノードごとに前記抵抗ラダー回路における出力ノードの位置に応じた電流を前記出力ノードに供給することによって補正する補正回路を有することを特徴とするアナログデジタル変換器。

【請求項2】

前記補正回路が前記出力ノードに供給する電流は、前記比較器が発生する雑音電流と大きさが同じで逆方向の電流であることを特徴とする請求項1記載のアナログデジタル変換器。

【請求項3】

前記補正回路は、前記比較器が発生する雑音電流を模擬して検出するモニタ回路と、

10

20

前記モニタ回路により検出された電流に基づいて、前記出力ノードに供給する電流を調整する電流制御回路とを有することを特徴とする請求項 2 記載のアナログデジタル変換器。

【請求項 4】

前記補正回路が前記出力ノードに供給する電流は、前記抵抗ラダー回路における出力ノードの位置に応じて互いに異なることを特徴とする請求項 1 記載のアナログデジタル変換器。

【請求項 5】

前記抵抗ラダー回路における前記比較基準電位のすべての出力ノードに対して前記補正回路が接続されることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載のアナログデジタル変換器。

10

【請求項 6】

前記抵抗ラダー回路における前記比較基準電位のすべての出力ノードのうちの一部の出力ノードに対して前記補正回路が接続されることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載のアナログデジタル変換器。

【請求項 7】

前記抵抗ラダー回路における両端の出力ノードから約 20% の位置にある出力ノードを少なくとも含む出力ノードに対して前記補正回路が接続されることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載のアナログデジタル変換器。

【請求項 8】

20

前記抵抗ラダー回路における両端の出力ノードから約 20% の位置にある出力ノードに対してのみ前記補正回路が接続されることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載のアナログデジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログデジタル変換器（AD変換器）に関する。

【背景技術】

【0002】

図 6 A は、並列型アナログデジタル変換器（AD変換器）の構成例を示す図である。図 6 A には、入力されたアナログ入力信号を n ビット（ n は自然数）のデジタル信号 $DO[n-1:0]$ に変換する並列型 AD 変換器（フラッシュ AD 変換器）を示している。図 6 A において、 $R_0 \sim R_m$ ($m = 2^n - 1$) は抵抗であり、 $CMP_1 \sim CMP_m$ は比較器（コンパレータ）であり、ENC はエンコーダである。

30

【0003】

抵抗 $R_0 \sim R_m$ は、低電位側の基準電圧 V_B が供給される電源端子と高電位側の基準電圧 V_T が供給される電源端子との間に、抵抗 R_0 、 R_1 、 R_2 、 \dots 、 $R(m-3)$ 、 $R(m-2)$ 、 $R(m-1)$ 、 R_m の順で直列に接続される。 $i = 1 \sim m$ の整数として、抵抗 $R(i-1)$ と抵抗 R_i との接続点 $REF < i >$ の電位が、比較基準電位 $V_{REF < i >}$ として比較器 $CMP_1 \sim CMP_m$ に入力される。すなわち、抵抗 $R_0 \sim R_m$ からなる抵抗ラダー回路は、電圧 V_B と電圧 V_T の間を抵抗分圧することで比較基準電位 $V_{REF < i >}$ を生成して比較器 $CMP_1 \sim CMP_m$ に供給する。

40

【0004】

比較器 CMP_i は、入力端子 INP から入力されるアナログ入力信号 V_{INP} 、及び入力端子 INN から入力されるアナログ入力信号 V_{INN} が入力される。また、比較器 CMP_i には、抵抗ラダー回路の接続点 $REF < i >$ の電位である比較基準電位 $V_{REF < i >}$ 、及び抵抗ラダー回路の接続点 $REF < m - i + 1 >$ の電位である比較基準電位 $V_{REF < m - i + 1 >}$ が入力される。比較器 CMP_i は、比較基準電位 $V_{REF < i >}$ とアナログ入力信号 V_{INP} の差（差電圧）、及び比較基準電位 $V_{REF < m - i + 1 >}$ とアナログ入力信号 V_{INN} の差（差電圧）を比較し、その比較結果を出力する。エンコーダ E

50

NCは、各比較器CMP_iの比較結果が入力され、それらをエンコードしてデジタル信号DO[n-1:0]に変換し出力する。

【0005】

前述の並列型AD変換器は、比較器を並列に動作させて、アナログ入力信号と複数の比較基準電位との比較を並列に実行することで、高速にAD変換を行うことが可能である。その反面、例えばnビット並列型AD変換器（全ビットフラッシュAD変換器）の場合には(2ⁿ-1)個の比較器が必要となり、消費電力が大きくなる。しかし、近年、比較器の低電力化が進み、並列型AD変換器の消費電力において抵抗ラダー回路での消費電力が大きな割合を占めるようになってきている。

【0006】

ここで、図6Aに示したような並列型AD変換器では、比較器CMP₁~CMP_mに比較基準電位VREF<i>を供給する、抵抗R₀~R_mからなる抵抗ラダー回路は重要な要素回路であり、抵抗ラダー回路の精度が並列型AD変換器全体の精度に影響を及ぼす。抵抗ラダー回路の精度を劣化させる要因の一つに比較器CMP₁~CMP_mからの雑音がある。比較器CMP₁~CMP_mが動作する過程で発生する雑音電流I_nにより、抵抗ラダー回路における接続点REF<i>の電位VREF<i>が変動し、例えば図6BにおいてLV61に示す理想の比較基準電位に対して、LV62に示すように比較基準電位が変動する。この雑音電流I_nによる比較基準電位VREF<i>の変動は、AD変換における変換誤差を増大させ、並列型AD変換器の精度を劣化させる。従来においては、抵抗ラダー回路のバイアス電流I_{bias}を雑音電流I_nよりも十分大きく設定し、雑音電流I_nによる影響を非常に小さくすることで、並列型AD変換器の精度が劣化するのを抑制していた。

【0007】

スイッチトキャパシタ積分回路を備えるAD変換器において、回路の形成面積の増加を抑制しつつ、スイッチング動作に起因して発生するキックバックノイズの影響を抑制する技術が提案されている（特許文献1参照）。

【0008】

しかし、前述のように並列型AD変換器の精度劣化を抑制するために、抵抗ラダー回路のバイアス電流I_{bias}を雑音電流I_nよりも十分大きく設定すると、抵抗ラダー回路での消費電力が増加するという問題があった。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2009-33303号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明は、消費電力の増加を抑制しつつ比較基準電位の変動を抑え、並列型AD変換器の精度劣化を抑制することを目的とする。

【課題を解決するための手段】

【0011】

本発明に係るアナログデジタル変換器は、入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、互いに異なる比較基準電位が入力され、当該比較基準電位と入力される前記アナログ入力信号とを比較する複数の比較器と、前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダと、直列に接続された複数の抵抗を有し、基準電圧を抵抗分圧して前記比較基準電位を生成し前記抵抗間の出力ノードより前記比較器に供給する抵抗ラダー回路とを備え、前記抵抗ラダー回路は、前記比較器が発生する雑音電流による前記比較基準電位の変動を前記出力ノードに電流を供給することによって補正する補正回路を有することを特徴とする。

【発明の効果】

10

20

30

40

50

【 0 0 1 2 】

本発明によれば、抵抗ラダー回路の補正回路により、比較器が発生する雑音電流による比較基準電位の変動が補正されるので、抵抗ラダー回路のバイアス電流を低減し、かつアナログデジタル変換における精度劣化を抑制することができる。したがって、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度なアナログデジタル変換器を提供することが可能となる。

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 図 1 は、本発明の第 1 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

10

【 図 2 】 図 2 は、本発明の第 2 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【 図 3 】 図 3 は、第 2 の実施形態における雑音電流のモニタ回路の構成例を示す図である。

【 図 4 A 】 図 4 A は、本発明の第 4 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

【 図 4 B 】 図 4 B は、第 4 の実施形態における抵抗ラダー回路が有する抵抗の抵抗値の例を示す図である。

【 図 4 C 】 図 4 C は、第 4 の実施形態における電位変動量を示す図である。

【 図 5 】 図 5 は、本発明の実施形態におけるアナログデジタル変換器の他の構成例を示す図である。

20

【 図 6 A 】 図 6 A は、並列型アナログデジタル変換器の構成例を示す図である。

【 図 6 B 】 図 6 B は、並列型アナログデジタル変換器における比較基準電位の変動を説明するための図である。

【 図 7 】 図 7 は、並列型アナログデジタル変換器で用いられる比較器の構成例を示す図である。

【 図 8 A 】 図 8 A は、抵抗ラダー回路に流れる雑音電流の例を示す図である。

【 図 8 B 】 図 8 B は、抵抗ラダー回路の電位変動の例を示す図である。

【 図 9 】 図 9 は、本発明の第 3 の実施形態におけるアナログデジタル変換器の構成例を示す図である。

30

【 図 1 0 】 図 1 0 は、第 3 の実施形態におけるアナログデジタル変換器の消費電力を示す図である。

【 発明を実施するための形態 】

【 0 0 1 4 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 1 5 】

まず、並列型アナログデジタル変換器 (A D 変換器) で用いられる比較器が発生する雑音電流について説明する。図 7 は、並列型 A D 変換器で用いられる比較器の構成例を示す図である。図 7 には、並列型 A D 変換器で多用されるスイッチトキャパシタ回路を入力部に有する比較器を一例として示している。図 7 に示す比較器は、M O S (metal oxide semiconductor) トランジスタ 7 1 P、7 1 N、抵抗 7 2 P、7 2 N、電流源 7 3、アナログラッチ 7 4、容量 7 5 P、7 5 N、及びスイッチ S W 1 P、S W 1 N、S W 2 P、S W 2 N、S W 3 P、S W 3 N を有する。

40

【 0 0 1 6 】

トランジスタ 7 1 P、7 1 N は、増幅を司る差動対のトランジスタであり、駆動素子をなすものである。トランジスタ 7 1 P、7 1 N のソースは、電流源 7 3 に接続される。また、トランジスタ 7 1 P のドレインは、負荷素子をなす抵抗 7 2 P の一端に接続され、トランジスタ 7 1 N のドレインは、負荷素子をなす抵抗 7 2 N の一端に接続される。抵抗 7 2 P、7 2 N の他端は、電源電圧 (V c c) に接続される。

【 0 0 1 7 】

50

トランジスタ71Pのゲートは、サンプリング容量としての容量75Pの一方の電極に接続される。容量75Pの他方の電極には、スイッチSW1Pを介して正相アナログ入力信号VINPが供給され、スイッチSW2Pを介して正相比較基準電位VREFP<i>が供給される。また、トランジスタ71Nのゲートは、サンプリング容量としての容量75Nの一方の電極に接続される。容量75Nの他方の電極には、スイッチSW1Nを介して逆相アナログ入力信号VINNが供給され、スイッチSW2Nを介して逆相比較基準電位VREFN<i>が供給される。例えば正相比較基準電位VREFP<i>を電位VREF<i>とすると、逆相比較基準電位VREFN<i>は電位VREF<m-i+1>である。また、トランジスタ71P、71Nのゲートと容量75P、75Nの一方の電極との接続点には、スイッチSW3P、SW3Nを介してコモン電位VCが供給可能となっている。

10

【0018】

アナログラッチ74は、トランジスタ71Pのドレインと抵抗72Pの接続点の電位、及びトランジスタ71Nのドレインと抵抗72Nの接続点の電位を入力として受け、その入力の判定動作を行って最終的に“1”又は“0”の値に判定し、判定結果を出力信号VOUTP、VOUTNとして出力する。なお、図7に示す容量76P、76Nは、寄生容量である。

【0019】

図7に示した比較器は、リセット期間において、スイッチSW1P、SW1Nが非導通状態（開状態、オフ状態）とされ、スイッチSW2P、SW2Nが導通状態（閉状態、オン状態）とされて、容量75P、75Nの一方の電極に比較基準電位VREFP<i>、VREFN<i>が供給される。そして、比較器は、リセット期間に続く比較期間において、スイッチSW1P、SW1Nが導通状態（閉状態、オン状態）とされ、スイッチSW2P、SW2Nが非導通状態（開状態、オフ状態）とされて、容量75P、75Nの一方の電極にアナログ入力信号VINP、VINNが供給される。このように、各スイッチSW1P、SW1N、SW2P、SW2Nが適宜制御されることで、比較器は、比較基準電位VREFP<i>とアナログ入力信号VINPの差（差電圧）、及び比較基準電位VREFN<i>とアナログ入力信号VINNの差（差電圧）を比較し、その比較結果を出力する。

20

【0020】

ここで、サンプリング容量である容量75P、75Nの容量値をCs、寄生容量76P、76Nの容量値をCpとすると、比較器が動作する過程で発生する正相側の雑音電流Inp<i>及び逆相側の雑音電流Inn<i>は（式1）で表される。なお、tcはサイクル時間（=1/動作周波数）である。

30

【0021】

【数1】

$$I_{np} < i > = \frac{C_{eff}(V_{REFP} < i > - V_{INP})}{t_c}$$

$$I_{nn} < i > = \frac{C_{eff}(V_{REFN} < i > - V_{INN})}{t_c} \quad \dots (式1)$$

40

$$C_{eff} = \frac{C_p \cdot C_s}{C_p + C_s}$$

【0022】

したがって、抵抗ラダー回路における比較基準電位VREF<i>の出力ノードに対応する接続点REF<i>に対して流れる雑音電流In<i>は（式2）で表される。

【0023】

【数2】

$$I_{n \langle i \rangle} = I_{np \langle i \rangle} + I_{nn \langle m-i+1 \rangle} = \frac{2C_{eff}(V_{REF \langle i \rangle} - V_{com})}{t_c} \quad \dots (式2)$$

$$\text{ただし、 } V_{com} \equiv \frac{V_{INP} + V_{INN}}{2}$$

【0024】

前記(式2)から明らかなように、接続点REF<i>に対して流れる雑音電流In<i>は入力信号に依存せず、抵抗ラダー回路における接続点REF<i>の位置のみで決まる。64個の抵抗からなる抵抗ラダー回路、すなわち6ビットの並列型AD変換器が備える抵抗ラダー回路に流れる雑音電流Inの一例を図8Aに示し、その雑音電流Inによる接続点REF<i>での電位変動Vの一例を図8Bに示す。図8Aに示されるように、抵抗ラダー回路の中心部から端部に向かって雑音電流Inの大きさは大きくなる。また、抵抗ラダー回路に流れる雑音電流Inによる電位変動Vは、図8Bに示すような特徴的なパターンを有する。すなわち、抵抗ラダー回路の両端及び中心部では電位変動が小さく、両端からラダー長の約20%の位置で電位変動が最大となる。また、図8Bにおいて、抵抗ラダー回路を構成する抵抗の抵抗値RはR1<R2<R3であり、抵抗値が大きいほど電位変動が大きくなる。

10

【0025】

このように、雑音電流In<i>による接続点REF<i>の電位VREF<i>の変動量は、入力信号に依存しない。したがって、回路構成、及び抵抗ラダー回路に供給される基準電圧や動作周波数等の動作条件が決まれば、接続点REF<i>の電位VREF<i>の変動量をあらかじめ予測し補正することが可能となる。

20

【0026】

(第1の実施形態)

本発明の第1の実施形態について説明する。

第1の実施形態におけるAD変換器は、比較基準電位VREF<i>の出力ノードに対応する抵抗ラダー回路における接続点REF<i>に対して、比較器が発生する雑音電流In<i>と大きさが同じで逆方向の電流を供給することで、雑音電流In<i>を打ち消し、抵抗ラダー回路での電位変動を抑制する。図1は、第1の実施形態におけるAD変換器の構成例を示す図である。図1には、入力されたアナログ入力信号をnビット(nは自然数)のデジタル信号DO[n-1:0]に変換する並列型AD変換器(フラッシュAD変換器)を一例として示している。図1において、R0~Rm(m=2^n-1)は抵抗であり、IS1~ISMは電流源である。また、CMP1~CMPmは比較器(コンパレータ)であり、ENCはエンコーダである。

30

【0027】

抵抗R0~Rmは、例えば電圧VB(低電位側の基準電圧)が供給される電源端子と電圧VT(高電位側の基準電圧)が供給される電源端子との間に、抵抗R0、R1、R2、R3、・・・、R(m-3)、R(m-2)、R(m-1)、Rmの順で直列に接続される。抵抗R(i-1)と抵抗R(i)との接続点REF<i>が比較基準電位VREF<i>の出力ノードに対応し、接続点REF<i>の電位が、比較基準電位VREF<i>として比較器CMP1~CMPmに入力される。なお、iは添え字であり、i=1~mの整数である。すなわち、抵抗R0~Rmからなる抵抗ラダー回路は、電圧VBと電圧VTの間を抵抗分圧することで比較基準電位VREF<i>を生成して比較器CMP1~CMPmに供給する。

40

【0028】

比較器CMPiは、例えば図7に例示したような比較器である。比較器CMPiは、その入力が入力端子INP、INNに接続されて、アナログ入力信号VINP、VINNが入力される。また、比較器CMPiは、その入力、抵抗R(i-1)と抵抗R(i)の

50

接続点 $REF < i >$ 、及び抵抗 $R (m - i)$ と抵抗 $R (m - i + 1)$ の接続点 $REF < m - i + 1 >$ に接続されて、比較基準電位 $V REF < i >$ 、 $V REF < m - i + 1 >$ が入力される。比較器 $CMP i$ は、比較基準電位 $V REF < i >$ とアナログ入力信号 $V INP$ の差（差電圧）、及び比較基準電位 $V REF < m - i + 1 >$ とアナログ入力信号 $V INN$ の差（差電圧）を比較し、その比較結果を出力する。エンコーダ ENC は、各比較器 $CMP i$ の比較結果が入力され、それらをエンコードしてデジタル信号 $DO [n - 1 : 0]$ に変換し出力する。

【 0 0 2 9 】

電流源 $IS i$ は、比較器 $CMP i$ が発生する雑音電流 $IN < i >$ を打ち消すための補正電流源である。電流源 $IS i$ は、抵抗ラダー回路における接続点 $REF < i >$ に接続され、比較器が発生する雑音電流 $IN < i >$ と大きさが同じで逆方向の電流 $IC < i >$ を接続点 $REF < i >$ に対して供給する。これにより、電流源 $IS i$ が供給する補正電流 $IC < i >$ によって、比較器が発生する雑音電流 $IN < i >$ を打ち消し、抵抗ラダー回路における接続点 $REF < i >$ の電位 $V REF < i >$ の変動を抑制することができる。

10

【 0 0 3 0 】

ここで、補正電流源である電流源 $IS i$ が供給する補正電流 $IC < i >$ の大きさは、抵抗ラダー回路の通常のバイアス電流と比較すると小さく（例えば数百分の1程度であり）、電流源 $IS i$ による消費電力の増加はほとんどない。なお、補正電流 $IC < i >$ を供給するための電流源 $IS i$ は、抵抗ラダー回路における接続点 $REF < 1 > \sim REF < m >$ の各々に対して設けなくとも良い。

20

【 0 0 3 1 】

第1の実施形態によれば、抵抗ラダー回路において、比較基準電位 $V REF < i >$ の出力ノードに対応する接続点 $REF < i >$ に対し、比較器が発生する雑音電流 $IN < i >$ に応じた補正電流 $IC < i >$ を電流源 $IS i$ が供給する。これにより、電流源 $IS i$ が供給する補正電流 $IC < i >$ によって、比較器が発生する雑音電流 $IN < i >$ を打ち消すことができ、抵抗ラダー回路のバイアス電流を低減し、かつAD変換における精度劣化を抑制することができる。したがって、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度なAD変換器が実現できる。

【 0 0 3 2 】

（第2の実施形態）

次に、本発明の第2の実施形態について説明する。

比較器が発生する雑音電流 $IN < i >$ による抵抗ラダー回路における接続点 $REF < i >$ の電位変動 $V < i >$ は、（式3）で計算できる。

30

【 0 0 3 3 】

【数3】

$$\Delta V < i > = \frac{R \cdot C_{eff} \cdot i(N-i) \{ \Delta V_q(N+i) - 3(V_{com} - V_B) \}}{3t_c} \quad \dots \text{ (式 3)}$$

$$C_{eff} = \frac{C_p \cdot C_s}{C_p + C_s}$$

40

$$\Delta V_q = \frac{V_T - V_B}{N}$$

$$V_{com} = \frac{VINP + VINN}{2}$$

【 0 0 3 4 】

前記（式3）において、 R は抵抗ラダー回路を構成する抵抗の抵抗値、 C_s は比較器が有するサンプリング容量の容量値、 C_p は比較器における寄生容量の容量値である。また

50

、 N は抵抗ラダー回路を構成する抵抗の数（抵抗ラダー回路が生成する比較基準電位により分割される電位範囲の数）、 V_T は高電位側の基準電圧、 V_B は低電位側の基準電圧、 t_c はサイクル時間（ $= 1 / \text{動作周波数}$ ）である。前記（式3）から明らかなように、雑音電流 $I_{n < i >}$ による接続点 $REF < i >$ の電位変動 $V < i >$ は、入力信号には依存しないが、比較器の動作周波数や寄生容量の容量値等に依存して変化する。例えば、比較器は、その動作周波数に、例えば $500\text{MHz} \sim 1\text{GHz}$ などのある幅を持たせて設計されることもあり、比較基準電位 $V_{REF < i >}$ の出力ノードに対応する接続点 $REF < i >$ の電位変動 $V < i >$ が事前に予測できないこともある。

【0035】

そこで、第2の実施形態では、比較器が発生する雑音電流を測定するモニタ回路、及びその測定結果に応じて接続点 $REF < i >$ に対して供給する補正電流を制御する制御回路を設ける。これにより、比較器の動作周波数や寄生容量の容量値等により比較器が発生する雑音電流が変化しても、接続点 $REF < i >$ に対して補正電流を適切に供給することが可能になり、雑音電流 $I_{n < i >}$ を打ち消し、抵抗ラダー回路での電位変動を抑制することができる。

10

【0036】

図2は、第2の実施形態におけるAD変換器の構成例を示す図である。図2には、入力されたアナログ入力信号を6ビットのデジタル信号 $DO5 \sim DO0$ に変換する並列型AD変換器を一例として示している。図2において、 $R0 \sim R63$ は抵抗であり、 $IS1 \sim IS63$ は電流源であり、 $CMP1 \sim CMP63$ は比較器（コンパレータ）であり、 ENC はエンコーダである。また、21はモニタ回路（ $IDET$ ）であり、22は電流制御回路（ $ICTRL$ ）である。抵抗 $R0 \sim R63$ 、電流源 $IS1 \sim IS63$ 、比較器 $CMP1 \sim CMP63$ は、第1の実施形態における抵抗 $R0 \sim Rm$ 、電流源 $IS1 \sim ISm$ 、比較器 $CMP1 \sim CMPm$ の値 m を63としたものに対応するので、これらについての重複する説明は省略する。

20

【0037】

モニタ回路21は、比較器が発生する雑音電流と同様の雑音電流を発生させて測定する。電流制御回路22は、モニタ回路21によって測定された雑音電流に基づいて、電流源 $IS1 \sim IS63$ を制御し補正電流 $I_{c < 1 >} \sim I_{c < 63 >}$ を調整する。

例えば、図3に示すように、モニタ回路21は、モニタ用の比較器 $DCMP$ を用いて、比較器 $CMP1 \sim CMP63$ が発生する雑音電流を模擬し、その電流を検出する。モニタ回路21は、 $MOST$ トランジスタ $31P$ 、 $31N$ 、抵抗 $32P$ 、 $32N$ 、及び電流源 $33P$ 、 $33N$ を有する。トランジスタ $31P$ は、ソースが電流源 $33P$ に接続され、ドレインが抵抗 $32P$ を介して電源電圧（ V_{cc} ）に接続され、ゲートに制御電圧 V_{RP} が供給される。また、トランジスタ $31N$ は、ソースが電流源 $33N$ に接続され、ドレインが抵抗 $32N$ を介して電源電圧（ V_{cc} ）に接続され、ゲートに制御電圧 V_{RN} が供給される。

30

【0038】

トランジスタ $31P$ のソースの電位が比較基準電位 V_{REFP} としてモニタ用の比較器 $DCMP$ に入力され、トランジスタ $31N$ のソースの電位が比較基準電位 V_{REFN} としてモニタ用の比較器 $DCMP$ に入力される。ここで、比較基準電位 V_{REFP} 、 V_{REFN} は、比較器 $CMP1 \sim CMP63$ に入力される比較基準電位と同様に、一方が電位 $V_{REF < i >}$ 、他方が電位 $V_{REF < 63 - i + 1 >}$ となる関係を満たし、トランジスタ $31P$ 、 $31N$ のソースの電位がこのような電位となるように制御電圧 V_{RP} 、 V_{RN} が制御されている。トランジスタ $31P$ 、 $31N$ のドレインと抵抗 $32P$ 、 $32N$ との各々の接続点に電流制御回路22が接続される。

40

【0039】

また、モニタ用の比較器 $DCMP$ には、入力端子 INP 、 INN から入力されるアナログ入力信号 V_{INP} 、 V_{INN} が供給される。モニタ用の比較器 $DCMP$ は、比較器 $CMP1 \sim CMP63$ と同様に動作し、比較基準電位 V_{REFP} とアナログ入力信号 V_{INP}

50

の差（差電圧）、及び比較基準電位 V_{REFN} とアナログ入力信号 V_{INN} の差（差電圧）を比較し、その比較結果を出力する。したがって、モニタ用の比較器 $DCMP$ の動作によって、比較器 $CMP1 \sim CMP63$ と同様の雑音電流が発生する。この雑音電流によりトランジスタ $31P$ 、 $31N$ のドレインと抵抗 $32P$ 、 $32N$ との接続点の電位が変化する。電流制御回路 22 は、この電位変化に基づいて、比較器 $CMP1 \sim CMP63$ が発生する雑音電流 $I_{n<1>} \sim I_{n<63>}$ に応じた補正電流 $I_{c<1>} \sim I_{c<63>}$ を供給するように電流源 $IS1 \sim IS63$ を制御する。

【0040】

第2の実施形態によれば、比較器の動作周波数や寄生容量の容量値等により比較器の発生する雑音電流が変化しても、発生する雑音電流に応じた補正電流を適切に供給することができ、電流源 ISi が供給する補正電流 $I_{c<i>}$ によって、比較器が発生する雑音電流 $I_{n<i>}$ を打ち消すことができ、抵抗ラダー回路のバイアス電流を低減し、かつ AD 変換における精度劣化を抑制することができる。したがって、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度な AD 変換器が実現できる。

10

【0041】

なお、第2の実施形態においても、補正電流 $I_{c<i>}$ を供給するための電流源 ISi は、抵抗ラダー回路における接続点 $REF<1> \sim REF<m>$ の各々に対して設けなくとも良い。例えば、雑音電流 $I_{n<i>}$ による電位 $V_{REF<i>}$ の変動が大きいと予測される接続点 $REF<i>$ にだけ電流源 ISi を設けても良く、雑音電流 $I_{n<i>}$ による抵抗ラダー回路の電位変動を改善することができる。

20

【0042】

（第3の実施形態）

次に、本発明の第3の実施形態について説明する。

第1及び第2の実施形態においては、抵抗ラダー回路における接続点 $REF<1> \sim REF<m>$ の各々に対して、補正電流 $I_{c<i>}$ を供給するための電流源 ISi を設けているが、前述したように雑音電流 $I_{n<i>}$ による電位 $V_{REF<i>}$ の変動が大きいと予測される接続点 $REF<i>$ にだけ電流源 ISi を設けることで、雑音電流 $I_{n<i>}$ による抵抗ラダー回路の電位変動を改善することができる。

30

【0043】

以下に説明する第3の実施形態では、抵抗ラダー回路における雑音電流 $I_{n<i>}$ による電位 $V_{REF<i>}$ の変動が大きいと予測される接続点 $REF<i>$ に対して電流源 ISi を設ける。図9は、第3の実施形態における AD 変換器の構成例を示す図である。図9においては、最も電位変動が大きいと予測される、抵抗ラダー回路の両端からラダー長の約20%の位置の接続点 $REF<i>$ （図9に例示した64個の抵抗からなる抵抗ラダー回路の場合には、接続点 $REF<13>$ 及び $REF<51>$ ）、言い換えれば抵抗ラダー回路の両端の比較基準電位の出力ノードから20%付近の位置に存在する比較基準電位の出力ノードに対して電流源 ISi を設けている。

【0044】

図9には、入力されたアナログ入力信号を6ビットのデジタル信号 $DO5 \sim DO0$ に変換する並列型 AD 変換器を一例として示している。図9において、 $R0 \sim R63$ は抵抗であり、 $IS13$ 、 $IS51$ は電流源であり、 $CMP1 \sim CMP63$ は比較器（コンパレータ）であり、 ENC はエンコーダである。抵抗 $R0 \sim R63$ 、比較器 $CMP1 \sim CMP63$ は、第1の実施形態における抵抗 $R0 \sim Rm$ 、比較器 $CMP1 \sim CMPm$ の値 m を63としたものに対応し、電流源 $IS13$ 、 $IS51$ は、第1の実施形態における電流源 $IS1 \sim ISm$ の内の電流源 $IS13$ 、 $IS51$ に対応するので、これらについての重複する説明は省略する。

40

【0045】

このように、抵抗ラダー回路において、最も電位変動が大きいと予測される両端からラダー長の約20%の位置の接続点である接続点 $REF<13>$ 及び $REF<51>$) に対

50

して電流源 I_{S13} 、 I_{S51} を設けることで、回路の増加及び消費電力の増加をともに抑制しつつ、前述した実施形態と同様に、比較器が発生する雑音電流による抵抗ラダー回路の電位変動を改善する効果が得られ、低消費電力かつ高精度な A/D 変換器が実現できる。

【0046】

例えば、図 10 は、図 9 に示した第 3 の実施形態における並列型 A/D 変換器の消費電力を示す図であり、従来の並列型 A/D 変換器と比較して、本実施形態では、抵抗ラダー回路における消費電力を 80% 削減でき、また A/D 変換器全体での消費電力を 30% 削減することが可能である。なお、図 10 には、製造プロセスを 65 nm の CMOS プロセスとするフォアグラウンドキャリブレーションを使用したサブレンシング型の並列 A/D 変換器とし、電源電圧が 0.8 V、サンプリング周波数が 1 GHz、入力信号の周波数が 496 MHz として計算により見積もった結果を示している。

10

【0047】

なお、図 9 には、第 1 の実施形態における並列型 A/D 変換器において、抵抗ラダー回路における雑音電流 $I_{n<i>}$ による電位 $V_{REF<i>}$ の変動が大きいと予測される接続点 $REF<i>$ に対して電流源 I_{Si} を設けた例を示したが、第 2 の実施形態における並列型 A/D 変換器においても同様に適用できる。また、前述した例では、抵抗ラダー回路の両端からラダー長の約 20% の位置の接続点 $REF<i>$ に対して電流源 I_{Si} を設けた例を示したが、電位変動が大きいと予測される範囲の接続点 $REF<i>$ 、例えば抵抗ラダー回路の両端からラダー長の 10% ~ 30% の位置の接続点 $REF<i>$ に対して電流源 I_{Si} を設けても雑音電流による抵抗ラダー回路の電位変動を改善する効果が得られる。また、抵抗ラダー回路の両端からラダー長の約 20% の位置の接続点 $REF<i>$ を含む複数の接続点 $REF<i>$ に対して電流源 I_{Si} を設けるようにしても良い。

20

【0048】

(第 4 の実施形態)

次に、本発明の第 4 の実施形態について説明する。

前述の第 1 及び第 2 の実施形態では、抵抗ラダー回路における接続点 $REF<i>$ に対して、補正電流 $I_{c<i>}$ を供給する電流源 I_{Si} を設けることで、比較器が発生する雑音電流 $I_{n<i>}$ を打ち消している。以下に説明する第 4 の実施形態では、比較器が発生する雑音電流 $I_{n<i>}$ を打ち消すのではなく、雑音電流 $I_{n<i>}$ による電位変動を含めて抵抗ラダー回路における接続点 $REF<i>$ の電位 $V_{REF<i>}$ が所望の電位となるように抵抗ラダー回路の抵抗値を調整する。

30

【0049】

図 4 A は、第 4 の実施形態における A/D 変換器の構成例を示す図である。図 4 A には、入力されたアナログ入力信号を 6 ビットのデジタル信号 $DO5 \sim DO0$ に変換する並列型 A/D 変換器を一例として示している。図 4 A において、 $R0 \sim R63$ は抵抗であり、 $CMP1 \sim CMP63$ は比較器 (コンパレータ) であり、 ENC はエンコーダである。抵抗 $R0 \sim R63$ 、比較器 $CMP1 \sim CMP63$ は、第 1 の実施形態における抵抗 $R0 \sim Rm$ 、比較器 $CMP1 \sim CMPm$ の値 m を 63 としたものに对应するが、第 4 の実施形態では抵抗 $R0 \sim Rm$ の抵抗値は同一ではなく抵抗ラダー回路の位置に応じて異なっている。

40

【0050】

比較器が発生する雑音電流 $I_{n<i>}$ による抵抗ラダー回路における接続点 $REF<i>$ の電位変動 $V<i>$ は、前述したように (式 3) で計算できる。第 4 の実施形態では、この電位変動 $V<i>$ と逆の電位変動を発生するように抵抗ラダー回路の抵抗を設計し、比較器の発生する雑音電流 $I_{n<i>}$ が流れた状態で電位変動が 0 となるようにする。このため、第 4 の実施形態における並列型 A/D 変換器では、抵抗ラダー回路を構成する抵抗 $R0 \sim R63$ の抵抗値を図 4 B に実線 41 で示すように設定する。すなわち、抵抗ラダー回路を構成する抵抗 $R0 \sim R63$ の抵抗値は、通常は破線 42 で示すようにすべて同じであるが、本実施形態では雑音電流 $I_{n<i>}$ の大きさが大きい抵抗ラダー回路の端部では抵抗を小さくし、雑音電流 $I_{n<i>}$ の大きさが小さい抵抗ラダー回路の中央部では

50

抵抗を大きくする。これにより図4Cに示すように、抵抗ラダー回路を構成する抵抗 $R_0 \sim R_{63}$ の抵抗値をすべて同じくした場合に生じる破線45で示す電位変動を改善し、実線44で示すように雑音電流 $I_{n < i >}$ による電位変動を抑制することができる。

【0051】

(他の実施形態)

なお、前述した実施形態においては、並列型AD変換器(全ビットフラッシュAD変換器)を一例として説明したが、本発明はこれに限定されるものではない。例えば、図5に示すようなサブレンジング型AD変換器<subranging AD converter>にも適用可能である。図5は、本発明の実施形態におけるAD変換器の他の構成例を示す図である。図5には、入力されるアナログ入力信号VINを $(m+n)$ ビット(m 、 n は自然数)のデジタル信号DO[1:m+n]に変換するサブレンジング型AD変換器を一例として示している。

10

【0052】

図5において、51はトラックアンドホールド回路であり、52は m ビット並列型AD変換器(フラッシュAD変換器)であり、53はデジタルアナログ変換器(DA変換器)である。54は演算器であり、55は n ビット並列型AD変換器(フラッシュAD変換器)であり、56はエンコーダである。 m ビット並列型AD変換器52は、デジタル信号DO[1:m+n]のうちの上位側の m ビットについてのAD変換処理を行い、 n ビット並列型AD変換器55は、デジタル信号DO[1:m+n]のうちの下位側の n ビットについてのAD変換処理を行う。並列型AD変換器52、55のそれぞれを、前述した各実施形態に示した並列型AD変換器と同様に構成することで、回路規模を削減し、低消費電力かつ高精度のAD変換器を実現することができる。

20

【0053】

図5に示したサブレンジング型AD変換器において、入力されたアナログ入力信号VINは、トラックアンドホールド回路51により入力及び保持されて、 m ビット並列型AD変換器52及び演算器54に供給される。 m ビット並列型AD変換器52では、供給されるアナログ入力信号VINを用いてAD変換処理が行われ、デジタル信号DO[1:m+n]のうちデジタル信号DO[n+1:m+n]が m ビット並列型AD変換器52から出力される。 m ビット並列型AD変換器52から出力されたデジタル信号DO[n+1:m+n]は、DA変換器53に供給されるとともにエンコーダ56に出力される。

30

【0054】

DA変換器53に供給されたデジタル信号DO[n+1:m+n]はDA変換処理され、デジタル信号DO[n+1:m+n]に応じたアナログ信号がDA変換器53から出力される。そして、トラックアンドホールド回路51より出力されたアナログ入力信号VINからDA変換器53より出力されたアナログ信号が、演算器54によって減算されて n ビット並列型AD変換器55に供給される。これにより、入力されたアナログ入力信号VINから、 m ビット並列型AD変換器52により決定されたデジタル信号DO[n+1:m+n]に応じたアナログ信号を減じた残差成分が n ビット並列型AD変換器55に供給される。

【0055】

n ビット並列型AD変換器55では、演算器54より供給されるアナログ信号のAD変換処理が行われ、デジタル信号DO[1:m+n]のうちデジタル信号DO[1:n]が n ビット並列型AD変換器55からエンコーダ56に出力される。エンコーダ56は、 m ビット並列型AD変換器52から出力されたデジタル信号DO[n+1:m+n]と、 n ビット並列型AD変換器55から出力されたデジタル信号DO[1:n]とを結合する。以上のようにして、入力されたアナログ入力信号VINが $(m+n)$ ビットのデジタル信号DO[1:m+n]に変換され出力される。

40

【0056】

なお、前述した各実施形態では、スイッチトキャパシタ回路を入力部に有する比較器を例に説明したが、本発明はこれに限定されるものではなく、それ以外の構成の比較器であ

50

っても、それが発生する雑音電流を打ち消すという本発明の基本概念は適用可能である。スイッチトキャパシタ回路を入力部に有する比較器とは構成が異なる比較器が用いられる場合には、比較器が発生する雑音電流は、前述した説明で示した関数とは異なる依存性を持つので、その依存性に合わせて補正電流の電流値等を決定すれば良い。

【0057】

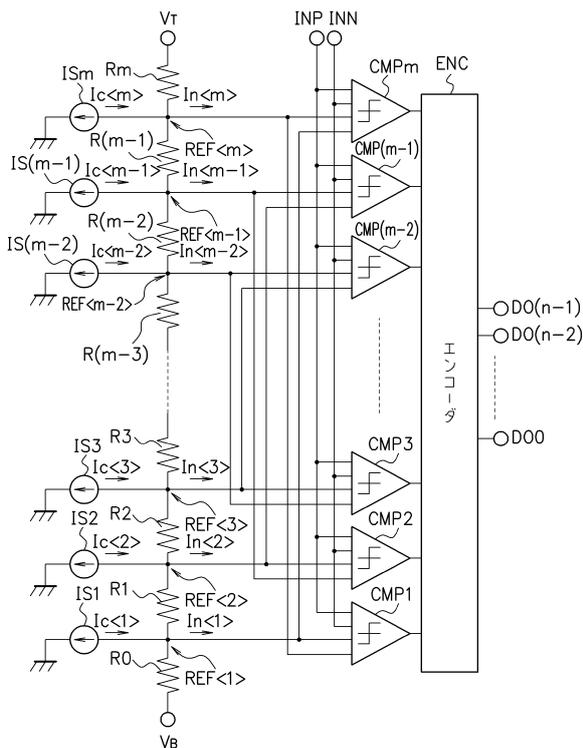
なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【産業上の利用可能性】

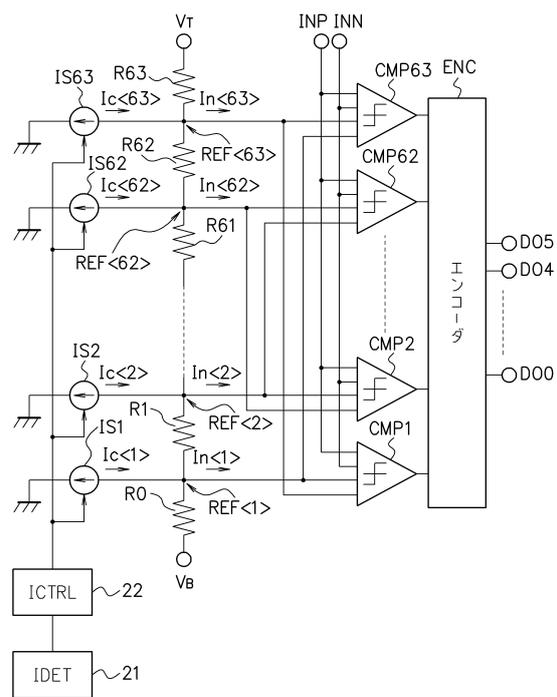
【0058】

抵抗ラダー回路の補正回路により比較器が発生する雑音電流による基準電位の変動を抑制することで、消費電力の増加を抑制しつつ比較器が発生する雑音電流による影響を抑えることができ、低消費電力かつ高精度なアナログデジタル変換器を提供することができる。

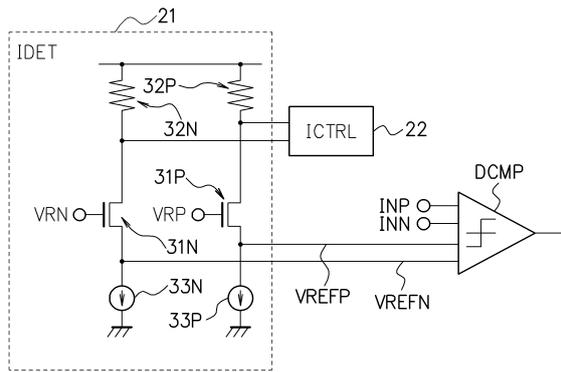
【図1】



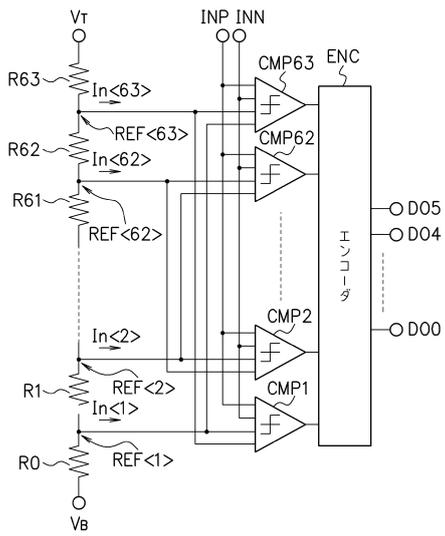
【図2】



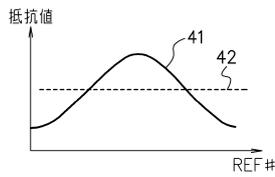
【図3】



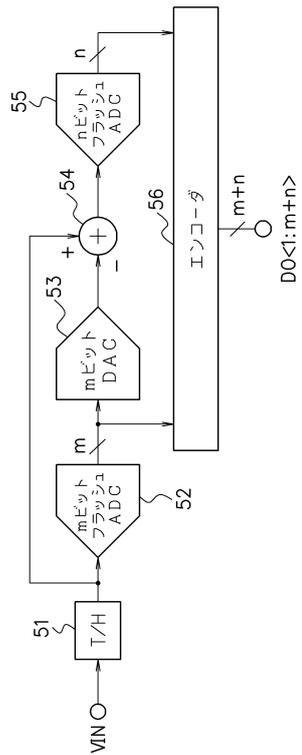
【図4A】



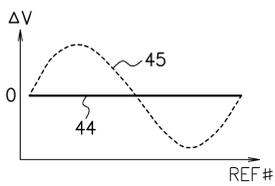
【図4B】



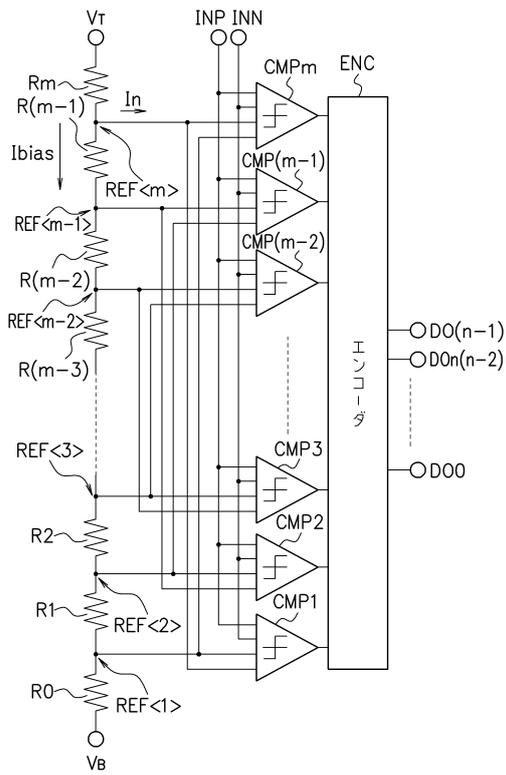
【図5】



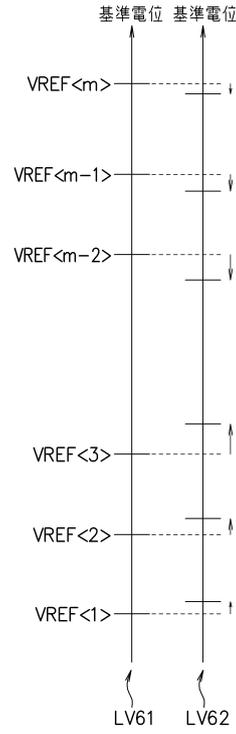
【図4C】



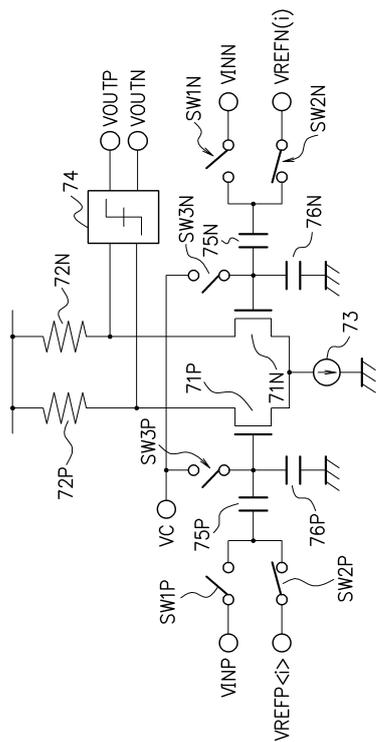
【図 6 A】



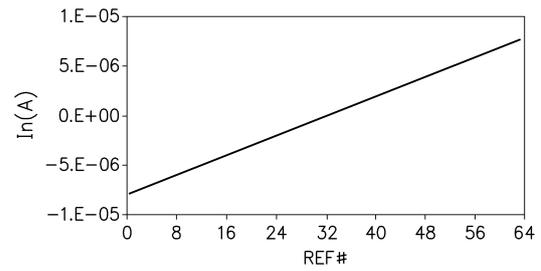
【図 6 B】



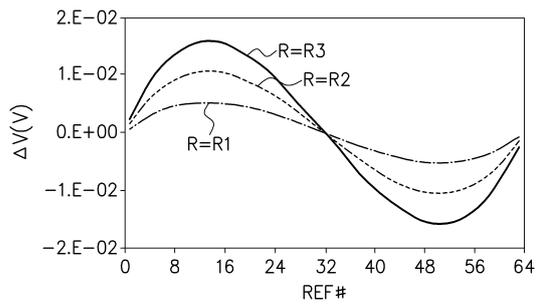
【図 7】



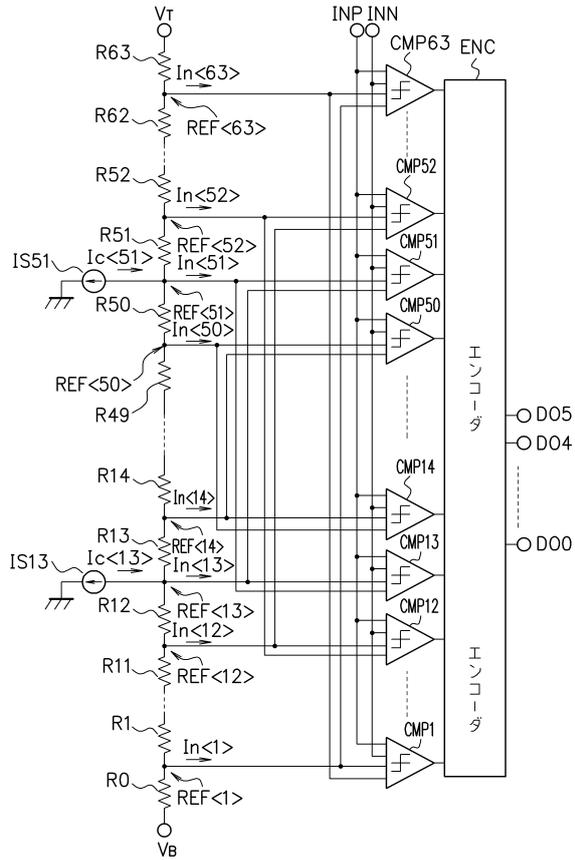
【図 8 A】



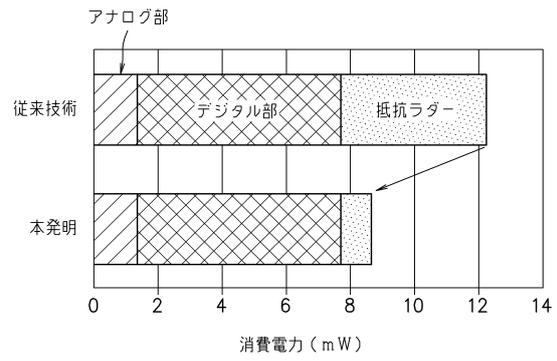
【図 8 B】



【図9】



【図10】



フロントページの続き

- (56)参考文献 特開平5 - 37375 (JP, A)
特開2000 - 183742 (JP, A)
特開平4 - 815 (JP, A)
特開平3 - 185931 (JP, A)
特開平1 - 200822 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00 - 1/88